


LIQUID CRYSTAL DISPLAY AND MANUFACTURING METHOD THEREOF

Patent number: KR2001057024
Publication date: 2001-07-04
Inventor: KWAK DONG YEONG (KR); LEE GEON HUI (KR)
Applicant: LG PHILIPS LCD CO LTD (KR)
Classification:
- international: G02F1/13
- european:
Application number: KR19990058747 19991217
Priority number(s): KR19990058747 19991217

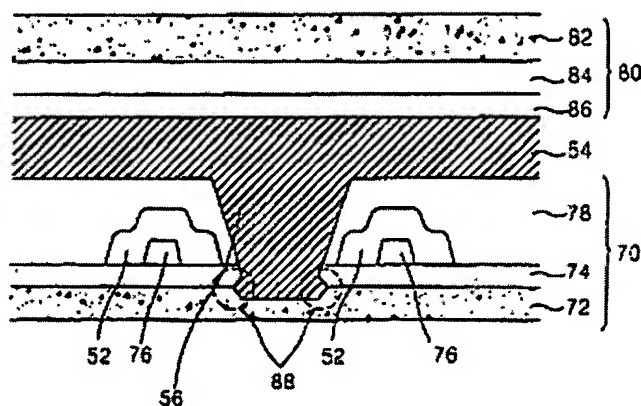
Also published as:

 US 2001024254 (A1)

Abstract not available for KR2001057024

Abstract of correspondent: **US2001024254**

A liquid crystal display device and a fabricating method thereof wherein an adhesive force between a seal and a lower plate is improved upon bonding of an upper plate to the lower plate. In high aperture liquid crystal display panels, organic protective films are used to reduce dielectric constants. However, the seal, used when bonding the upper and lower plates of the liquid crystal panel, generally do not adhere well to organic materials. In this invention, holes are generated in the organic protective film so that the seal bonds with inorganic materials such as the lower glass plate or the gate insulating film. A method is also presented to precisely control the amount of the gate insulating film to be etched using the EPD window technique



Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 7
G02F 1/13

(11) 공개번호 특2001-0057024
(43) 공개일자 2001년07월04일

(21) 출원번호 10-1999-0058747
(22) 출원일자 1999년12월17일

(71) 출원인 엘지.필립스 엘시디 주식회사
구본준, 론 위라하디락사
서울 영등포구 여의도동 20번지

(72) 발명자 곽동영
대구광역시달서구송현동그린맨션103동1108호
이건희
경상북도구미시고아면고아읍원호리한누리타워202-101

(74) 대리인 김영호

심사청구 : 있음

(54) 액정표시소자 및 그 제조방법

요약

본 발명은 상판과 하판의 합착시 실링재와 하판간의 접착력이 향상되도록 한 액정표시소자 및 그 제조방법에 관한 것이다.

본 발명에서는 게이트 전극 링크들 및 데이터 전극 링크들 사이에 형성된 보호막을 제거하여 홀들을 형성함과 아울러 전극 링크들 사이에 형성된 홀 하부의 게이트 절연막을 소정 두께만큼 제거하여 홀을 형성한 다음 실링재를 도포하여 홀을 통해 실링재와 게이트 절연막을 접촉시킨다.

이에 따라, 홀들을 통해 실링재가 무기 물질로 이루어진 게이트 절연막에 접촉됨으로써 실링재와 하판 간의 접착력이 크게 향상된다. 아울러, 본 발명에서는 홀 형성시 게이트 절연막의 잔막을 남김으로써 기판 스트레스나 게이트 절연막의 언더컷 문제 등을 방지할 수 있게 된다.

대표도
도 10

명세서

도면의 간단한 설명

도 1은 일반적인 액정패널의 구조를 개략적으로 나타낸 평면도.

도 2는 도 1에서 데이터 링크와 실링부의 교차 부분을 확대하여 나타낸 평면도.

도 3a는 도 2에서 A-A' 선을 따라 절단한 액정패널의 수직 단면 구조를 도시한 단면도.

도 3b는 도 2에서 B-B' 선을 따라 절단한 액정패널의 수직 단면 구조를 도시한 단면도.

도 4는 도 1에서 실링부와 교차하는 게이트 링크부의 일부분을 확대하여 나타낸 평면도.

도 5a는 도 4에서 A-A' 선을 따라 절단한 액정패널의 수직 단면 구조를 도시한 단면도.

도 5b는 도 4에서 B-B' 선을 따라 절단한 액정패널의 수직 단면 구조를 도시한 단면도.

도 6은 본 발명의 실시 예에 따른 유기 보호막을 적용한 고개구율 액정표시소자에 있어서, 데이터 링크와 실링부가 교차되는 부분의 평면 구조를 도시한 도면.

도 7은 도 6에 도시된 홀의 형성시 하판 상의 유기 보호막과 게이트 절연막을 모두 에칭하는 경우에 있어서, 도 6의 A-A' 선을 따라 절단한 액정패널의 단면의 구조를 도시한 단면도.

도 8은 본 발명의 실시 예에 따른 유기 보호막을 적용한 고개구율 액정표시소자에 있어서, 게이트 링크와 실링부가 교차되는 부분의 평면 구조를 도시한 도면.

도 9는 도 8에 도시된 홀의 형성시 하판 상의 유기 보호막과 게이트 절연막을 모두 에칭하는 경우에 있어서, 도 8의 B-B' 선을 따라 절단한 액정패널의 단면의 구조를 도시한 단면도.

도 10은 도 6에 도시된 데이터 링크부의 홀 형성시 하판 상의 게이트 절연막 일부를 에칭하는 경우에 있어서, 도 6의 A-A' 선을 따라 절단한 액정패널의 단면 구조를 도시한 단면도.

도 11은 도 8에 도시된 게이트 링크부의 홀 형성시 하판 상의 게이트 절연막 일부를 에칭하는 경우에 있어서, 도 8의 B-B' 선을 따라 절단한 액정패널의 단면 구조를 도시한 단면도.

도 12는 본 발명에 있어서 EPD 윈도우 및 액정패널의 하판이 형성된 전체 기판의 평면 구조를 도시한 도면.

도 13은 EPD 윈도우가 형성된 액정패널 하판의 가장자리부 및 패드부의 평면 구조를 도시한 도면.

도 14a 내지 도 14c는 본 발명에서 형성되는 EPD 윈도우 영역 및 실제 홀이 형성될 데이터 및 게이트 링크들 사이의 실패턴 영역의 단면 구조를 대비하여 나타낸 도면.

도 15는 드라이 에칭시 가스 검출 수단에 의해 검출되는 SiF_4 가스의 농도에 비례하는 전기 신호를 나타낸 파형도.

도 16a 내지 도 16c는 에칭 작업이 완료된 후의 EPD 윈도우 영역과 게이트 및 데이터 링크들 사이의 실패턴 영역의 단면 구조를 대비하여 나타낸 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

2 : 액정패널, 70 : 하판

6, 80 : 상판, 102, 114 : 화상표시부

- 10,54 : 실링부11 : 게이트 라인
- 12,90 : 게이트 패드13 : 데이터 라인
- 14,50 : 데이터 패드16,52 : 데이터 링크
- 17,60,98 : 투명전극18,76 : 반도체층
- 19,58,96 : 컨택홀20,72 : 하부유리기판
- 22,74 : 게이트 절연막24,78 : 유기 보호막
- 26,86 : 공통 투명전극28,84 : 컬러필터 및 블랙 매트릭스
- 30,82 : 상부유리기판32 : 액정
- 34,92 : 게이트 링크56,94 : 홀
- 88 : 언더컷100 : 대형기판
- 104 : EPD 윈도우110 : 비표시부
- 112 : 패드부116 : 실패턴 윈도우
- 118 : 더미패턴120 : 포토 레지스트 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자 및 그 제조방법에 관한 것으로, 특히 상판과 하판의 합착시 실링재와 하판간의 접착력이 향상 되도록 한 액정표시소자 및 그 제조방법에 관한 것이다.

통상, 액정표시소자(Liquid Crystal Display Device ; LCD)는 매트릭스 형태로 배열된 액정셀들의 광투과율을 비디오 신호로써 조절함으로써 비디오 신호에 해당하는 화상을 표시하게 된다. 이를 위하여, 액정표시소자는 액정셀들이 액티브 매트릭스(Active Matrix) 형태로 배열된 액정패널과, 액정셀들을 구동하기 위한 구동 집적회로(Integrated Circuit; 이하, "IC" 라 함)들을 구비한다. 구동 IC들은 통상 칩(Chip) 형태로 제작된다. 이러한 구동 IC 칩들은 탭(TAB ; Tape Automated Bonding) 방식으로 접속될 경우 액정패널 외곽에 부착되는 테이프 캐리어 팩키지(Tape Carrier Package ; 이하 "TCP" 라 함) 필름에 실장되고, COG(Chips On Glass) 방식인 경우에는 액정패널 상의 가장자리를 따라 실장되게 된다. TAB 방식인 경우 구동 IC들은 TCP에 의해 액정패널의 가장자리를 따라 형성된 패드부와 전기적으로 접속되어진다. 여기서 패드부는 액정패널 내의 액정셀 각각에 접속되는 전극라인들에 접속되게 되어, 구동 IC들로부터 발생한 구동신호들이 각각의 액정셀에 공급되도록 하고 있다.

도 1을 참조하면, 일반적인 액정패널의 구조를 개략적으로 나타낸 평면도가 도시되어 있다. 도 1의 액정패널(2)은 하판(4)과 상판(6)이 평행하게 대향하도록 접합된 구조로서, 액정셀들이 매트릭스 형태로 배열된 화상표시부(8)와, 도

면에 도시되지 않은 구동 IC들과 화상표시부(8) 사이에 접속되는 게이트 패드(12) 및 데이터 패드(14)와, 게이트 패드(12) 및 데이터 패드(14)를 화상표시부(8)에 접속시키는 게이트 링크(34) 및 데이터 링크(16)와, 하판(4)과 상판(6)을 접합시키기 위해 화상표시부(8)의 외곽 테두리에 형성되는 실링부(10)를 포함하게 된다. 화상표시부(8)에 있어서, 하판(4)에는 데이터 패드(14) 및 데이터 링크(16)를 경유하여 비디오 신호가 인가되는 다수의 데이터 라인(13)들과, 게이트 패드(12) 및 게이트 링크(34)를 경유하여 주사 신호가 인가되는 다수의 게이트 라인(11)들이 상호 교차되도록 배치된다. 그 교차부들마다 액정셀들이 위치하게 되고, 각 액정셀들에는 데이터 신호의 인가 여부를 스위칭하기 위한 박막 트랜지스터(Thin Film Transistor : 이하 "TFT" 라 함)와, TFT에 접속되어 액정셀을 구동하는 화소전극이 형성되어진다. 상판(6)에는 블랙 매트릭스에 의해 액정셀 별로 분리되어 형성된 적, 녹, 청색의 컬러필터들과, 컬러필터들의 표면에 형성된 공통 투명전극이 포함되어 있다. 이러한 상/하판(6,4)은 스페이서(Spacer)에 의해 일정 간격 이격됨으로써 셀 갭(Gap)이 마련되고, 이 셀 갭 영역은 상판(6)과 하판(4)의 합착시 액정이 주입될 액정층을 형성하게 된다. 상판(6)과 하판(4)은 화상표시부(8) 외곽의 실링부(10)에 도포된 실링재(Sealant)에 의해 접합된다. 스페이서에 의해 이격된 상판(6)과 하판(4) 사이의 액정층에는 액정이 주입된 후 봉지된다. 게이트 패드(12)와 데이터 패드(14)는 상판(6)과 중첩되지 않는 하판(4)의 가장자리 영역에 형성된다. 이 게이트 패드(12)는 TCP 필름 내의 배선 라인을 통해 게이트 구동 IC로부터 공급되는 주사 신호를 게이트 링크(34)를 경유하여 화상표시부(8)의 게이트 라인(11)들에 공급한다. 데이터 패드(14)는 데이터 구동 IC로부터 공급되는 비디오 데이터 신호를 데이터 링크(16)를 경유하여 화상표시부(8)의 데이터라인(13)들에 공급한다.

이러한 구조를 갖는 액정패널(2)에서 하판(6)에는 액정으로부터 금속전극라인과 박막 트랜지스터를 보호하기 위한 보호막이 전면 도포되어 있다. 이 보호막 위에는 콘택홀을 통해 액정셀의 박막 트랜지스터에 접속되는 화소전극이 액정셀 별로 형성되게 된다. 화소전극은 인듐 틴 옥사이드(Indium Tin Oxide; 이하 "ITO" 라 함)로 이루어진 투명전극으로서 액정 물질에 대해 비교적 강한 내구적 특성을 나타낸다. 종래에는 보호막으로서 SiNx , SiOx 와 같은 무기 절연막을 주로 이용하였다. 하지만 종래의 액정패널에서는 무기 보호막의 유전율이 크기 때문에 무기 보호막을 사이에 둔 화소전극과 데이터라인(13) 간에 형성된 기생 커패시터에 의한 커플링 효과가 증가되는 문제점을 가지고 있었다. 이로 인해 무기 보호막을 사용하는 경우에는 이러한 커플링 효과를 최소화하기 위하여 화소전극과 데이터라인(13)이 중첩되지 않도록 비교적 긴 간격, 예컨대 $3 \sim 5\mu\text{m}$ 의 간격을 유지해야만 하였다. 이에 따라, 종래의 액정패널에서는 액정층에 전압을 인가하는 화소전극의 면적을 되도록 좁게 형성하여야만 하였고, 화소전극의 면적에 따라 좌우되는 액정셀의 개구율이 그 만큼 낮아질 수 밖에 없었다. 이러한 문제를 해결하기 위하여, 최근에는 BCB(Benzocyclobutene), SOG(Spin On Glass), Acryl 등과 같이 비교적 유전율이 낮은 유기 물질을 보호막으로 이용하게 되었다. 이러한 유기 보호막은 약 2.7 정도의 낮은 유전율을 가짐에 따라 화소전극과 데이터라인을 어느 정도 중첩시키는 것이 가능해졌고, 이에 따라 그 만큼 화소전극의 면적을 넓힘으로써 액정셀의 개구율을 향상시킬 수 있게 되었다.

유기 보호막을 적용한 고개구율 액정표시소자에서는 실링부(10)에 도포되는 실링재를 이용하여 상판(6)과 하판(4)을 합착하는 과정에 있어서, 실링재가 하판(4)의 유기 보호막과 접촉되게 된다. 그런데, 에폭시 수지 등이 주로 이용되는 실링재는 유리 및 종래의 무기 보호막과는 강한 접착 특성을 갖는 반면에 유기 보호막과는 약한 접착 특성을 가지고 있다. 이로 인하여, 유기 보호막을 적용한 고개구율 액정표시소자에서는 액정패널에 충격이 가해졌을 경우 실링재와 유기 보호막 간의 접착력이 양호하지 않은 실링부(10)를 통해 액정이 누수되는 문제점이 초래되고 있다. 아울러 유기 보호막은 그 하부에 형성된 게이트 절연막과도 양호하지 않은 접착 특성을 가지고 있다. 이에 따라 작은 충격에도 유기 보호막과 게이트 절연막 사이에서 쉽게 균열이 발생하여 유기 보호막이 들뜨거나 액정이 누수되는 등의 문제가 초래되고 있다. 이하, 첨부도면을 참조하여 상기 액정표시소자의 문제점을 상세히 살펴보기로 한다.

도 2는 도 1에서 데이터 링크와 실링부의 교차 부분을 확대하여 도시한 평면도이다. 도 2에서 데이터 링크(16)는 데이터 패드(14) 및 화상표시부(8)의 데이터 라인(13)이 형성될 때 함께 형성된다. 데이터 링크(16)의 하부에는 반도체층(18)이 데이터 라인(13)으로부터 데이터 패드(14)까지 연장되어 형성된다. 실링재가 도포되는 실링부(10)는 유기 보호막 상에서 데이터링크(16)를 가로지르는 방향으로 형성된다. 데이터 패드(14)는 유기 보호막에 형성되는 콘택홀

(19)을 통해 유기 보호막 상의 투명전극(17)에 접속된다. TCP 필름에 실장된 데이터 드라이버 IC에 접속되는 투명전극(17)은 TAB 과정에서 요구되는 TCP 필름의 접착 과정 반복 시에 데이터 패드(14)인 금속전극을 보호함과 아울러 금속전극의 산화를 방지하는 역할을 한다.

도 3a는 도 2에서 A-A' 선을 따라 절단한 액정패널의 수직 단면을 도시하고, 도 3b는 B-B' 선을 따라 절단한 액정패널의 수직 단면을 도시한다. 도 3a 및 도 3b에서 하판(4)은 하부유리기판(20) 상에 게이트 절연막(22), 반도체층(18) 및 데이터 링크(16)가 적층되어 형성되고, 그 위에 유기 보호막(24)이 전면 도포된 구조를 갖는다. 상판(6)은 상부유리기판(30)의 배면에 컬러필터 및 블랙 매트릭스(28)가 형성되고, 그 위에 공통 투명전극(26)이 전면 형성된 구조를 갖는다. 이러한 하판(4)과 상판(6)은 실링부(10)에 도포된 실링재에 의해 합착된다. 이 경우, 실링부(10)의 실링재가 유기 보호막(24)에 접촉됨으로 인하여 약한 접착력을 갖게 된다. 아울러, 유기 보호막(24)은 그 하부에 무기 물질로 형성된 게이트 절연막(22)과도 접촉 특성이 취약하여 외부 충격에 의해 균열이 발생하는 경우 유기 보호막(24)이 들뜨거나 액정(32)이 누출되는 현상이 초래된다. 도 3b에서 실링부(10)의 안쪽은 화상표시부(8)로서 액정(32)이 주입되어 있다.

도 4는 도 1에서 실링부와 교차하는 게이트 링크의 일부분을 확대하여 도시한 평면도이다. 도 4에서 게이트 링크(34)는 게이트 패드(12) 및 화상표시부(8)의 게이트라인(11)이 형성될 때 함께 형성된다. 게이트 패드(12)는 게이트 절연막과 유기 보호막에 형성된 컨택홀(19)을 통해 투명전극(17)에 접속된다. 실링재가 도포되는 실링부(10)는 게이트 링크(34)와 교차하는 방향으로 형성된다.

도 5a는 도 4에서 A-A' 선을 따라 절단한 액정패널의 수직 단면을 도시하고, 도 5b는 B-B' 선을 따라 절단한 액정패널의 수직 단면을 도시한다. 도 5a 및 도 5b에서 하판(4)은 하부유리기판(20) 상에 게이트 링크(34)와 게이트 절연층(22)이 순차적으로 적층되고, 그 위에 유기 보호막(24)이 전면 도포된 구조를 갖는다. 상판(6)은 상부유리기판(30) 상에 컬러필터 및 블랙 매트릭스(28)가 형성되고, 그 위에 공통 투명전극(26)이 전면 형성된 구조를 갖는다. 하판(4)과 상판(6)은 실링부(10)에 도포된 실링재에 의해 합착된다. 이 경우, 실링부(10)의 실링재가 유기 보호막(24)에 접촉됨으로 인하여 약한 접착력을 갖게 된다.

결과적으로, 종래의 유기 보호막이 적용된 고개구율 액정패널은 실링재와 유기보호막, 그리고 유기보호막과 게이트 절연막 간의 약한 접착력으로 인해 외부 충격이 가해질 경우 균열이 발생하여 액정이 누수되는 문제점이 초래되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상판과 하판의 합착시 실링재와 하판간의 접착력이 향상되도록 한 액정표시소자 및 그 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 액정표시소자는 전극 링크들이 형성된 액정패널의 하판 상에 전면 도포됨과 아울러 전극 링크들 사이에서는 실링재가 침투되게끔 홀이 형성된 유기 물질 보호막과, 유기 물질 보호막 하부에 전면 형성됨과 아울러 홀들을 통해 실링재에 접촉되는 무기 물질로 된 게이트 절연막을 구비한다.

본 발명에 따른 액정표시소자의 제조방법은 게이트 전극 링크들 및 데이터 전극 링크들 사이에 형성된 보호막을 제거하여 홀들을 형성하는 단계와, 전극 링크들 사이에 형성된 홀 하부의 게이트 절연막을 소정 두께만큼 제거하여 홀을 형성하는 단계와, 실링재를 도포하여 홀을 통해 실링재와 게이트 절연막을 접촉시키는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 6 내지 도 16c를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 6은 본 발명의 실시 예에 따른 유기 보호막을 적용한 고개구율 액정표시소자에 있어서, 데이터 링크와 실링부가 교차되는 부분의 평면 구조를 도시한 도면이다. 도 6을 참조하면, 본 발명에 따른 액정표시소자는 데이터 링크(52)와 실링부(54)가 교차되는 부분에서 데이터 링크(52) 사이의 영역에 형성된 홀(56)들을 구비한다. 그 밖의 다른 구성 및 특징들은 종래의 구조와 동일하다. 데이터 링크(52)는 데이터 패드(50) 및 화상표시부의 데이터라인이 형성될 때 함께 형성된다. 데이터링크(52)의 하부에는 반도체층이 데이터라인으로부터 데이터 패드(50)까지 연장되어 형성된다. 실링재가 도포되는 실링부(54)는 하판의 유기 보호막 상에서 데이터링크(52)를 가로지르는 방향으로 형성된다. 데이터 패드(50)는 유기 보호막에 형성된 컨택홀(58)을 통해 유기 보호막 상의 투명전극(60)에 접속된다. 본 발명에서는 하부유리기판 상에서 데이터 링크(52) 사이에 형성된 유기 보호막이나 또는 유기 보호막과 게이트 절연막을 에칭하여 홀(56)들을 형성한다. 이러한 홀(56)들에서는 하판 상의 게이트 절연막 또는 하부유리기판이 드러나 상판과 하판의 합착시 실링부(54)에 도포되는 실링재와 접촉하게 된다. 이와 같은 단면 구조에 대해서는 도 7을 결부하여 설명하기로 한다.

도 7은 도 6에 도시된 홀의 형성시 하판 상의 유기 보호막과 게이트 절연막을 모두 에칭하는 경우에 있어서, 도 6에서 A-A' 선을 따라 절단한 단면의 구조를 도시한 도면이다. 도 7을 참조하면, 액정패널의 하판(70)은 하부유리기판(72) 상에 게이트 절연막(74), 반도체층(76) 및 데이터 링크(52)가 적층되어 형성되고, 그 위에 유기 보호막(78)이 전면 도포된 구조를 갖는다. 아울러, 종래와는 달리 데이터 링크(52) 사이의 유기 보호막(78)과 게이트 절연막(74)이 에칭되어 홀(56)이 형성된 구조를 갖는다. 이러한 홀(56)은 패널 외곽 영역에 형성되는 에칭 포인트 검출 윈도우(Etching Point Detective Window : 이하 "EPD 윈도우"라 함)를 이용하여 실제 액정패널 내의 유기 보호막(78)과 게이트 절연막(74)의 에칭 두께를 조절해 가면서 드라이 에칭(Dry Etching)함으로써 형성된다. 상판(80)은 상부유리기판(82)의 배면에 컬러필터 및 블랙 매트릭스(84)가 형성되고, 그 위에 공통 투명전극(86)이 전면 형성된 구조를 갖는다. 이러한 하판(70)과 상판(80)은 실링부(54)에 도포된 실링재에 의해 합착된다. 이 때 실링부(54)의 실링재는 홀(56)을 통하여 하부유리기판(72)에 접촉된다. 예폭시 수지 등이 사용되는 실링재는 무기 물질인 유리기판(72)과 강한 접착 특성을 갖기 때문에 상판(80)과 하판(70)의 접합 특성이 크게 향상되게 된다.

도 8은 본 발명의 실시 예에 따른 유기 보호막을 적용한 고개구율 액정표시소자에 있어서, 게이트 링크와 실링부가 교차되는 부분의 평면 구조를 도시한 도면이다. 도 8을 참조하면, 게이트 링크(92)와 실링부(54)가 교차되는 부분에서 게이트 링크(92) 사이의 영역에 홀(94)들이 형성된다. 그 밖의 다른 구성 및 특징들은 종래의 구조와 동일하다. 게이트 링크(92)는 게이트 패드(90) 및 화상표시부의 게이트라인이 형성될 때 함께 형성된다. 실링재가 도포되는 실링부(54)는 하판의 유기 보호막 상에서 게이트 링크(92)를 가로지르는 방향으로 형성된다. 게이트 패드(90)는 유기 보호막에 형성된 컨택홀(96)을 통해 유기 보호막 상의 투명전극(98)에 접속된다. 게이트 링크(92)부에서도 하부유리기판 상에서 게이트 링크(92) 사이에 형성된 유기 보호막이나 또는 유기 보호막과 게이트 절연막을 에칭하여 홀(94)들을 형성한다. 이러한 홀(94)들에서는 하판 상의 게이트 절연막 또는 하부유리기판이 드러나 상판과 하판의 합착시 실링부(54)에 도포되는 실링재와 접촉하게 된다. 이와 같은 단면 구조에 대해서는 도 7을 결부하여 설명하기로 한다.

도 9는 도 8에 도시된 홀의 형성시 하판 상의 유기 보호막과 게이트 절연막을 모두 에칭하는 경우에 있어서, 도 8에서 B-B' 선을 따라 절단한 단면의 구조를 도시한 도면이다. 도 9를 참조하면, 액정패널의 게이트 링크부는 하판(70)에서 하부유리기판(72) 상에 게이트 링크(92), 게이트 절연막(74)이 적층되어 형성되고, 그 위에 유기 보호막(78)이 전면 도포된 구조를 갖는다. 아울러, 데이터 링크부와 마찬가지로 게이트 링크(92)들 사이의 유기 보호막(78)과 게이트 절연막(74)이 에칭되어 홀(94)이 형성된 구조를 갖는다. 이러한 홀(94)은 패널 외곽에 형성되어진 EPD 윈도우를 이용하여 유기 보호막(78)과 게이트 절연막(74)의 에칭 두께를 조절해 가면서 드라이 에칭함으로써 형성된다. 상판(80)은 데이터 링크부와 마찬가지로 상부유리기판(82)의 배면에 컬러필터 및 블랙 매트릭스(84)가 형성되고, 그 위에 공통

투명전극(86)이 전면 형성된 구조를 갖는다. 이러한 하판(70)과 상판(80)은 실링부(54)에 도포된 실링재에 의해 합착된다. 이 때 실링부(54)의 실링재는 홀(94)을 통하여 하부유리기판(72)에 접촉된다. 에폭시 수지 등이 사용되는 실링재는 무기 물질인 유리기판(72)과 강한 접착 특성을 갖기 때문에 상판(80)과 하판(70)의 접합 특성이 크게 향상되게 된다.

하지만, 데이터 링크(52)들 사이나 게이트 링크(92)들 사이에 홀(56,94)을 형성함에 있어서, 유기 보호막(78)과 게이트 절연막(74)을 모두 에칭하여 하부유리기판(72)을 노출시키는 방법에 있어서는 몇 가지 다른 문제점들이 나타난다. 드라이 에칭시 유기 보호막(78)이 제거되고 난 후에 게이트 절연막(74)이 제거될 때 게이트 절연막(74)의 에칭 종료 시점을 조절하기 어려워 항상 하부유리기판(72)의 일부가 오버에치(Overetch)되는 문제가 발생한다. 드라이 에칭시 오버에치로 인해 하부유리기판(72)의 노출에 의한 기판 스트레스(Stress)가 증가하면서 기판(72)의 파손을 유발한다. 아울러, 도 7 및 도 9에 도시된 바와 같이 게이트 절연막(74)의 에칭시 게이트 절연막(74) 하부의 언더컷(88) 현상으로 인해 미소한 충격에도 접착력이 약화되는 문제와 테이퍼(Taper) 불량 등의 문제가 발생한다.

그리하여, 본 발명에서는 상판(80)과 하판(70)의 합착력을 강화시킴과 아울러 상기 언급한 문제점들을 방지하기 위하여 드라이 에칭시 게이트 절연막(74)의 일부만을 제거한다. 실링부(54)의 실링재는 SiO_x , SiN_x 등의 무기 물질로 형성되어진 게이트 절연막(74)과도 양호한 접착 특성을 나타낸다.

도 10은 도 6에 도시된 데이터 링크부의 홀 형성시 하판 상의 게이트 절연막 일부를 에칭하는 경우에 있어서, 도 6에 도시된 A-A' 선을 따라 절단한 단면의 구조를 도시한 도면이다. 도 10을 참조하면, 데이터 링크(52) 사이의 유기 보호막(78) 전부와 게이트 절연막(74)의 일부가 에칭되어 홀(56)이 형성된다. 그 밖의 다른 구조 및 특징들은 도 7의 경우와 동일하다. 본 발명에서 에칭 작업은 게이트 절연막(74)의 에칭 두께를 조절하기 위해 패널 외곽에 더미패턴이 형성되어진 EPD 윈도우를 이용한 드라이 에칭 방식으로 이루어지게 된다. 실링부(54)에 도포되는 실링재는 홀(56)을 경유하여 게이트 절연막(74)에 접촉된다. 실링재와 무기 물질로 된 게이트 절연막(74)과의 접합 특성이 양호하기 때문에 상판(80)과 하판(70)의 접합력이 크게 향상되게 된다. 아울러 하부유리기판(72)이 노출되지 않고 게이트 절연막(74)의 일부가 남아 있으므로 기판 스트레스의 문제나 게이트 절연막(74)의 언더컷 발생 문제가 해결되게 된다. 한편, 본 발명에서는 도 6에 도시된 바와 같이 홀(56)들을 실링부(54)의 외곽 영역까지 연장하여 형성시킴으로써 실링재 도포시 홀(56) 내부에서 기포가 발생하는 것을 방지하도록 한다.

도 11은 도 8에 도시된 게이트 링크부의 홀 형성시 하판 상의 게이트 절연막 일부를 에칭하는 경우에 있어서, 도 8에 도시된 B-B' 선을 따라 절단한 단면의 구조를 도시한 도면이다. 도 11을 참조하면, 게이트 링크(92) 사이의 유기 보호막(78) 전부와 게이트 절연막(74)의 일부가 에칭되어 홀(94)이 형성된다. 이 경우에도 에칭 작업은 게이트 절연막(74)의 에칭 두께를 조절하기 위해 패널 외곽에 더미패턴이 형성되어진 EPD 윈도우를 이용한 드라이 에칭 방식으로 이루어지게 된다. 실링부(54)에 도포되는 실링재는 홀(94)을 경유하여 게이트 절연막(74)에 접촉된다. 게이트 링크부에서도 실링재와 무기 물질로 된 게이트 절연막(74)이 접촉하게 됨으로써 상판(80)과 하판(70)의 접합력이 크게 향상되게 된다. 아울러 하부유리기판(72)이 노출되지 않고 게이트 절연막(74)의 일부가 남아 있으므로 기판 스트레스의 문제나 게이트 절연막(74)의 언더컷 발생 문제가 해결되게 된다. 한편, 도 8에 도시된 바와 같이 홀(94)들이 실링부(54) 외곽 영역까지 연장되어 형성됨으로써 실링재 도포시 홀(94)에서 기포가 발생하는 현상이 방지된다.

본 발명에서 홀(56,94)들을 형성함에 있어서는 게이트 절연막(74)의 에칭 과정에서 정밀한 에칭 두께의 조절이 요구된다. 일반적인 드라이 에칭 과정에서는 에칭 과정시 에천트(Etchant)와 에칭되는 유기 보호막(78) 및 게이트 절연막(74) 간의 화학 반응에서 발생하는 가스를 검출함으로써 에칭 종료 시점을 결정하게 된다. 그런데, 본 발명에서는 유기 보호막(78)을 에칭한 후에 게이트 절연막(74)이 소정 두께로 남겨지도록 그 일부만 에칭하여야 하는데, 기존의 일반

적인 에칭 제어 방법으로는 에칭 종료 시점을 가늠하기가 곤란하므로 게이트 절연막(74)의 오버에칭이 발생할 소지가 있게 된다. 이에 따라, 본 발명에서는 에칭시의 가스 검출이 용이하도록 액정패널의 외곽 영역에 EPD 윈도우를 형성함과 아울러 EPD 윈도우에서 게이트 절연막(74)의 하부에 소정 두께의 더미패턴을 형성시킨다.

EPD 윈도우 및 액정패널의 하판이 형성된 전체 기판의 평면 구조를 도시한 도면이 도 12에 도시되어 있다. 도 12를 참조하면, 대형기판(100) 상에 다수 개의 하판(70)이 동시에 제작되고 하판(70) 완성 후 절단 작업을 통해 각각의 하판(70)을 분리해내게 된다. 하판(70)에서는 화상표시부(102)의 게이트라인 및 데이터라인, 액정셀의 TFT부가 형성되고, 패드(50,90)부 및 링크(52,92)부가 형성된다. 그리고, 유기 보호막(78) 및 게이트 절연막(74)의 에칭시 가스 검출을 용이하게 하기 위해 마련된 EPD 윈도우(104) 영역은 대형기판(100) 상에서 액정패널 하판(70)의 외곽 영역에 마련되어진다. 링크(52,92) 라인들 사이에 홀(56,94)들을 형성하기 위하여 유기 보호막(78)이 전면 도포된 대형기판(100) 상에는 포토 레지스트 마스크 패턴이 형성된다. 포토 레지스트 패턴이 형성된 대형기판(100)은 에칭 작업을 위해 에칭 챔버(Etching Chamber) 내에 놓여진다. EPD 윈도우(104) 영역은 액정패널 하판(70)의 실패턴 영역과 같이 마스크 패턴이 형성되지 않는 부분을 말한다. EPD 윈도우(104)는 액정패널 하판(70) 내의 실패턴 영역과 동시에 에칭되면서 실패턴 영역의 에칭 깊이를 조절하기 위한 창으로 이용된다. EPD 윈도우(104) 영역은 하판(70)의 실패턴 영역에 비해 훨씬 넓게 형성되기 때문에 그만큼 에칭 과정에서 생성되는 반응 가스의 양을 증가시켜 가스 검출 및 에칭 종료 시점의 결정을 용이하게 한다. 이러한 EPD 윈도우(104)는 액정패널 하판(70)의 외곽 영역뿐만이 아니라, 도 13에 도시된 바와 같이 액정패널 하판(70)의 비표시부(110)나 패드부(112)에서 패드(50,90)들 사이에 형성될 수도 있다.

도 14a 내지 도 14c는 본 발명에서 형성되는 EPD 윈도우 영역 및 실제 홀이 형성될 데이터 및 게이트 링크들 사이의 실패턴 영역을 대비하여 도시한 도면이다. 도 14a는 EPD 윈도우(104) 영역을 나타내고, 도 14b 및 도 14c는 각각 데이터 링크부와 게이트 링크부에서 홀(56,94)이 형성될 실패턴 윈도우(116) 영역을 나타낸다. 도 14a 내지 도 14c를 참조하면, 각 영역별로 게이트 절연막(74)과 유기 보호막(78)이 동일한 두께로 형성된다. EPD 윈도우(104) 영역에서는 게이트 절연막(74)을 형성하기에 앞서 소정 두께(t)의 더미패턴(Dummy)(118)을 형성시킨다. 즉, 도 14c의 게이트 링크부에서 게이트 링크(92)들을 형성시키는 과정에서 EPD 윈도우(104) 영역에 게이트 전극 및 게이트 링크(92)와 동일한 재료로 이루어지는 더미패턴(118)을 형성시킨다. 각 영역별로 게이트 절연막(74)을 형성한 후에는 데이터 링크부에 반도체층(76)과 데이터 링크(52)를 순차적으로 형성한다. 그 다음 모든 영역에 스핀 코팅(Spin Coating) 방법을 이용하여 유기 보호막(78)을 평탄하게 형성시킨다. 그 다음 유기 보호막(78)이 형성된 하판(70) 상에 포토 레지스트 패턴(120)을 형성하여 EPD 윈도우(104)와 데이터 및 게이트 링크부의 실패턴 윈도우(116)를 형성시킨다. 포토 레지스트 패턴(120)까지 형성된 하판(70)은 홀(56,94) 형성을 위해 에칭 챔버(Etching Chamber) 내에 놓여진다. 그리고, 에칭 챔버에는 SF_6 가스가 주입된다. 에칭 작업시 EPD 윈도우(104) 영역과 데이터 및 게이트 링크부의 실패턴 윈도우(116) 영역에서 포토 레지스트 패턴(120)이 형성되지 않은 유기 보호막(78) 부분은 SF_6 가스가 포함된 에천트(Etchant)와 접촉하게 된다. 이 때 에천트와 유기 보호막(78)에 포함된 Si 성분이 반응하여 SiF_4 의 휘발성 가스가 생성됨과 동시에 유기보호막(78)이 식각되기 시작한다. 에칭 시간이 경과하여 EPD 윈도우(104)와 실패턴 윈도우(116) 내의 유기 보호막(78)이 완전히 제거된 후에는 게이트 절연막(74)이 노출되어 에천트와 반응하게 된다. 이 때에도 게이트 절연막(74)의 Si 성분과 에천트가 반응하여 SiF_4 의 휘발성 가스가 생성됨과 동시에 게이트 절연막(74)이 식각되기 시작한다. 시간이 경과하여 EPD 윈도우(104) 내의 더미패턴(118)이 노출되는 시점에서는 SiF_4 가스의 농도가 현저하게 줄어들거나 더 이상 발생하지 않게 된다. 이에 따라, 운용자는 도 15에 도시되는 바와 같이 검출되는 SiF_4 가스의 농도에 비례하는 전기 신호(V_{EPD})를 발생시키는 가스 검출 수단을 이용하여 더미패턴(118)이 노출된 시점을 알 수 있게 된다. 더미패턴(118) 상의 게이트 절연막(74)이 모두 에칭되어 더미패턴(118)이 노출된 시점(t2)에서는 에칭 작업을 중단시킨다.

에칭 작업이 완료된 후의 EPD 윈도우(104) 영역과 게이트 및 데이터 링크부의 실패턴 윈도우(116) 영역을 대비하여 나타낸 도면이 도 16a 내지 도 16c에 도시되어 있다. 우선 도 16a에 도시된 바와 같이 EPD 윈도우(104) 내의 유기 보호막(78) 전부와 게이트 절연막(74)의 일부가 제거되어 더미패턴(118)이 노출된다. EPD 윈도우(104)와 데이터 및 게이트 링크부의 실패턴 윈도우(116)에서의 에칭 속도는 동일하므로 도 16b의 데이터 링크부와 도 16c의 게이트

링크부에서 형성된 홀(56)의 깊이는 도 16a의 EPD 윈도우(104) 영역에서의 에칭 깊이와 동일하다. 이에 따라, 에칭 후에 데이터 및 게이트 링크부에서 식각되지 않고 남겨지는 게이트 절연막(74)의 두께는 EPD 윈도우(104) 내에 마련된 더미패턴(118)의 두께(t)와 같아진다. 이와 같은 방법에 의해 데이터 링크(52)들 또는 게이트 링크(92)들 사이에 홀(56)을 형성할 때 게이트 절연막(74)의 잔막이 남게 됨으로써 하부유리기판(72)의 노출에 의한 기판 스트레스나 게이트 절연막(74)의 언더컷 현상, 그리고 실링재와 게이트 절연막(74) 간의 접착력 약화 등의 문제를 해결할 수 있게 된다. 아울러 본 발명에서는 게이트 절연막(74)의 일부가 남겨짐으로써 패턴 불량으로 인해 발생하는 문제점들도 해결할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 유기 보호막을 적용한 고개구율 액정표시소자에서는 실링부의 실링재와 접하게 되는 게이트 링크부 및 데이터 링크부에서 링크 라인들 사이의 유기 보호막 전부와 게이트 절연막의 일부를 제거하여 홀들을 형성하고, 홀들을 통해 실링재가 게이트 절연막에 접촉되게 한다. 실링재와 무기 물질로 이루어진 게이트 절연막과의 접착력이 양호하기 때문에 상판과 하판의 접합력이 크게 향상된다. 아울러 홀 형성시 게이트 절연막의 일부만을 제거하므로 기판의 노출에 따른 스트레스 증가나 게이트 절연막의 언더컷 문제, 그리고 접착력 약화 등의 문제들이 방지된다.

본 발명에서는 홀 형성시 게이트 절연막에 잔막을 남기기 위하여 패널 외곽 영역에 마련된 EPD 윈도우의 게이트 절연막 하부에 소정 두께의 더미패턴을 형성시킨다. 그리고, 드라이 에칭 과정에서는 EPD 윈도우 내의 더미패턴이 노출될 때까지 에칭 작업을 실시한다. 이에 따라, 데이터 링크부나 게이트 링크부에 형성된 홀 영역에서는 항상 더미패턴의 두께와 동일한 두께의 게이트 절연막의 잔막이 남게 됨으로써 드라이 에칭시의 기판 스트레스나 게이트 절연막의 언더컷 문제 등을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정패널의 화상표시부 내에 형성된 전극 라인들과 상기 화상표시부의 외곽에 마련된 전극 패드들 사이에 접속된 전극 링크들과 교차하는 방향으로 실링재가 도포되는 액정표시소자에 있어서,

상기 전극 링크들이 형성된 상기 액정패널의 하판 상에 전면 도포됨과 아울러 상기 전극 링크들 사이에서는 상기 실링재가 침투되게끔 홀이 형성된 유기 물질 보호막과,

상기 유기 물질 보호막 하부에 전면 형성됨과 아울러 상기 홀들을 통해 상기 실링재에 접촉되는 무기 물질로 된 게이트 절연막을 구비하는 것을 특징으로 하는 액정표시소자.

청구항 2.

제 1 항에 있어서,

상기 전극 링크는 외부로부터의 데이터 신호를 상기 화상표시부의 데이터 라인에 공급하는 데이터 링크인 것을 특징으로 하는 액정표시소자.

청구항 3.

제 1 항에 있어서,

상기 전극 링크는 외부로부터의 주사 신호를 상기 화상표시부의 게이트 라인에 공급하는 게이트 링크인 것을 특징으로 하는 액정표시소자.

청구항 4.

제 1 항에 있어서,

상기 홀들은 상기 실링재가 도포되는 영역의 외곽부까지 연장되어 형성된 것을 특징으로 하는 액정표시소자.

청구항 5.

제 1 항에 있어서,

상기 게이트 절연막은 상기 실링재에 접촉되는 상부면이 소정 두께만큼 제거된 것을 특징으로 하는 액정표시소자.

청구항 6.

제 5 항에 있어서,

상기 게이트 절연막의 상부면을 소정 두께만큼 제거하기 위하여 상기 게이트 절연막의 에칭 작업시 생성되는 반응 가스의 검출이 용이해지도록 상기 액정패널의 하판이 형성된 기판의 소정 영역에 형성된 에칭 포인트 검출 윈도우와,

상기 에칭 포인트 검출 윈도우 내에서 상기 게이트 절연막의 하부에 소정 두께로 형성된 더미패턴을 추가로 구비하는 것을 특징으로 하는 액정표시소자.

청구항 7.

액정패널의 화상표시부 내에 게이트 전극 라인, 전극 링크 및 전극 패드들을 형성하는 단계와, 상기 게이트 전극 라인, 링크 및 패드들이 형성된 기판 상에 무기 물질로 된 게이트 절연막을 전면 형성하는 단계와, 상기 게이트 절연막 상에 데이터 전극 라인, 전극 링크 및 전극 패드들을 형성하는 단계와, 상기 데이터 전극 라인, 링크 및 패드들이 형성된 상기 게이트 절연막 상에 유기 물질로 된 보호막을 형성하는 단계와, 상기 보호막 상에서 상기 게이트 및 데이터 전극 링크들과 교차하는 방향으로 실링재를 도포하는 단계를 포함하는 액정표시소자의 제조방법에 있어서,

상기 게이트 전극 링크들 및 상기 데이터 전극 링크들 사이에 형성된 상기 보호막을 제거하여 홀들을 형성하는 단계와,

상기 전극 링크들 사이에 형성된 홀 하부의 상기 게이트 절연막을 소정 두께만큼 제거하여 홀을 형성하는 단계와,

상기 실링재를 도포하여 상기 홀을 통해 상기 실링재와 상기 게이트 절연막을 접촉시키는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8.

제 7 항에 있어서,

드라이 에칭에 의해 상기 보호막과 상기 게이트 절연막이 연속적으로 제거되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 드라이 에칭 전에 상기 액정패널의 하판이 형성되는 기판 상의 소정 영역에 상기 게이트 절연막을 형성하기에 앞서 상기 홀 하부에 남겨질 게이트 절연막의 두께만큼의 두께로 더미패턴을 형성하는 단계와,

상기 드라이 에칭시 생성되는 반응 가스의 검출이 용이해지도록 하기 위하여 상기 더미패턴이 형성된 영역에 에칭 포인트 검출 윈도우를 형성하는 단계와,

상기 드라이 에칭시 상기 에칭 포인트 검출 윈도우에서 상기 더미패턴이 노출되면 상기 에칭을 종료하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

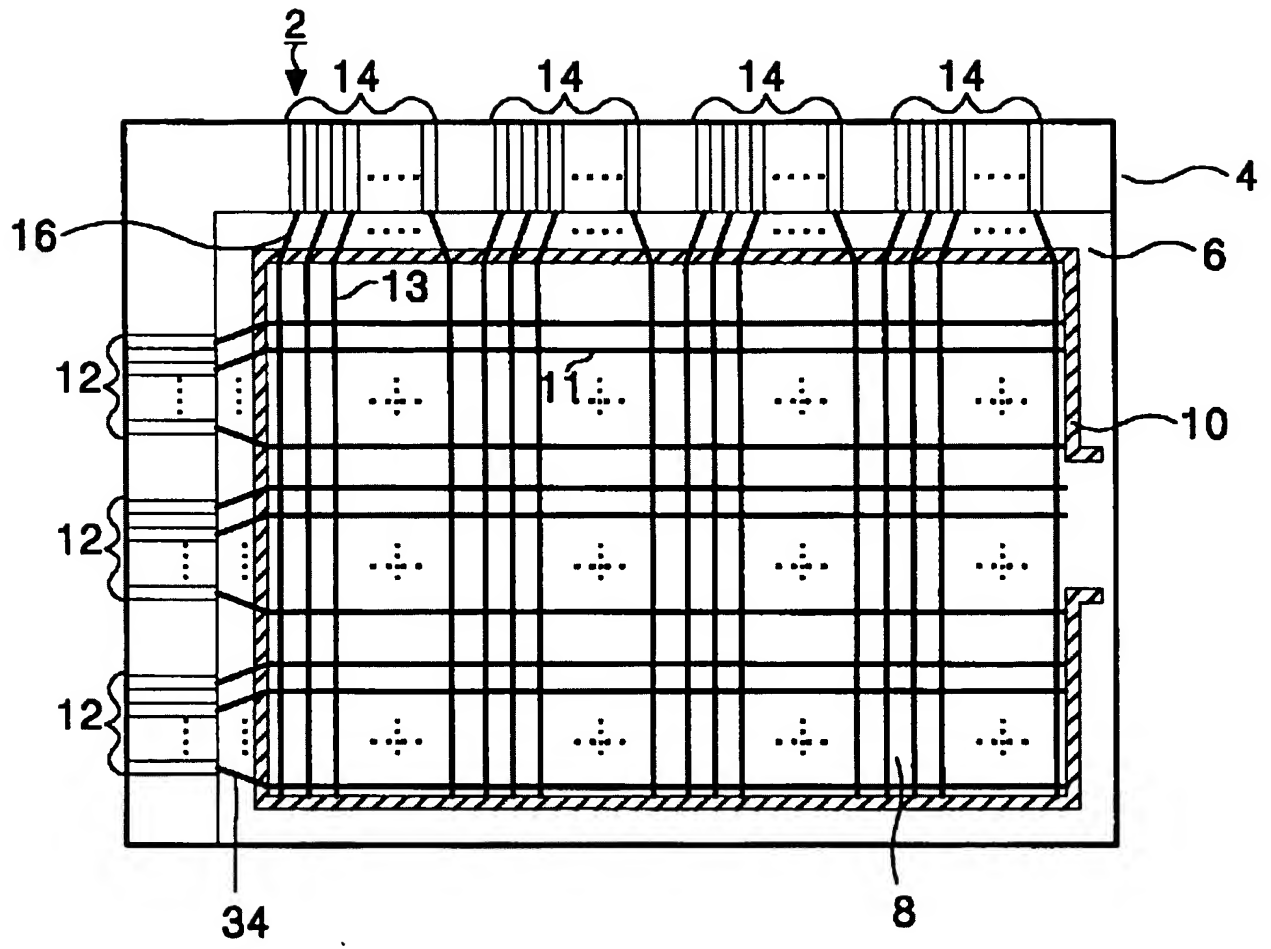
청구항 10.

제 7 항에 있어서,

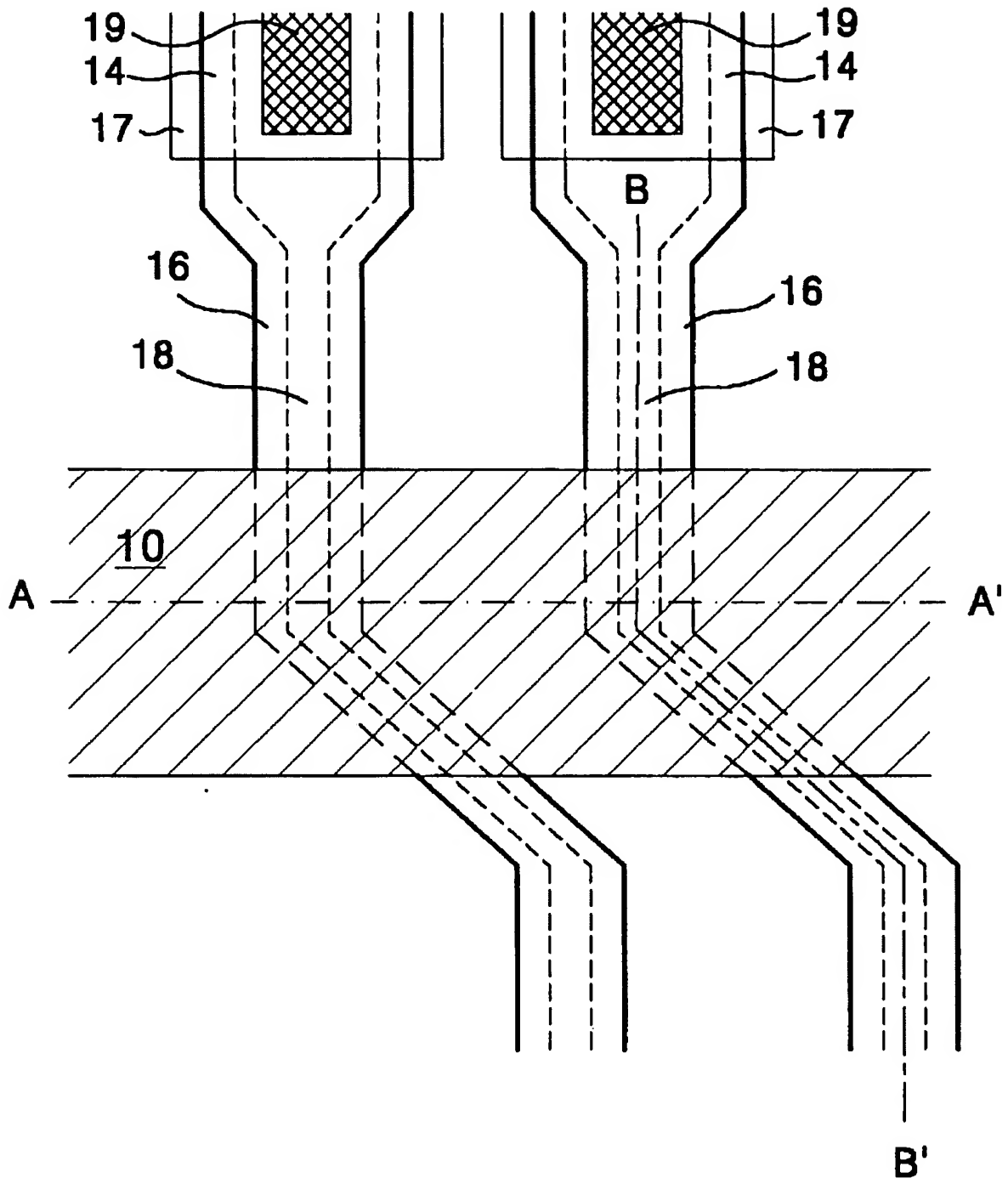
상기 홀들은 상기 실링재가 도포되는 영역의 외곽부까지 연장되어 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

도면

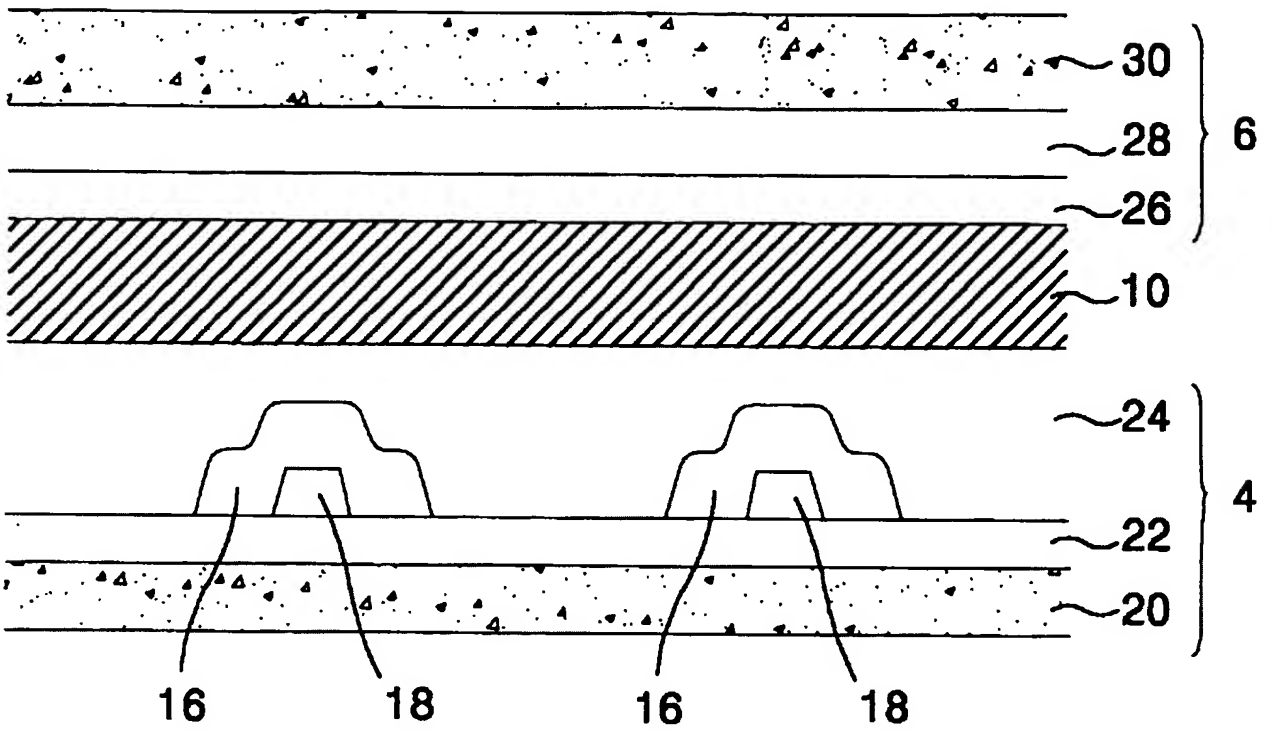
도면 1



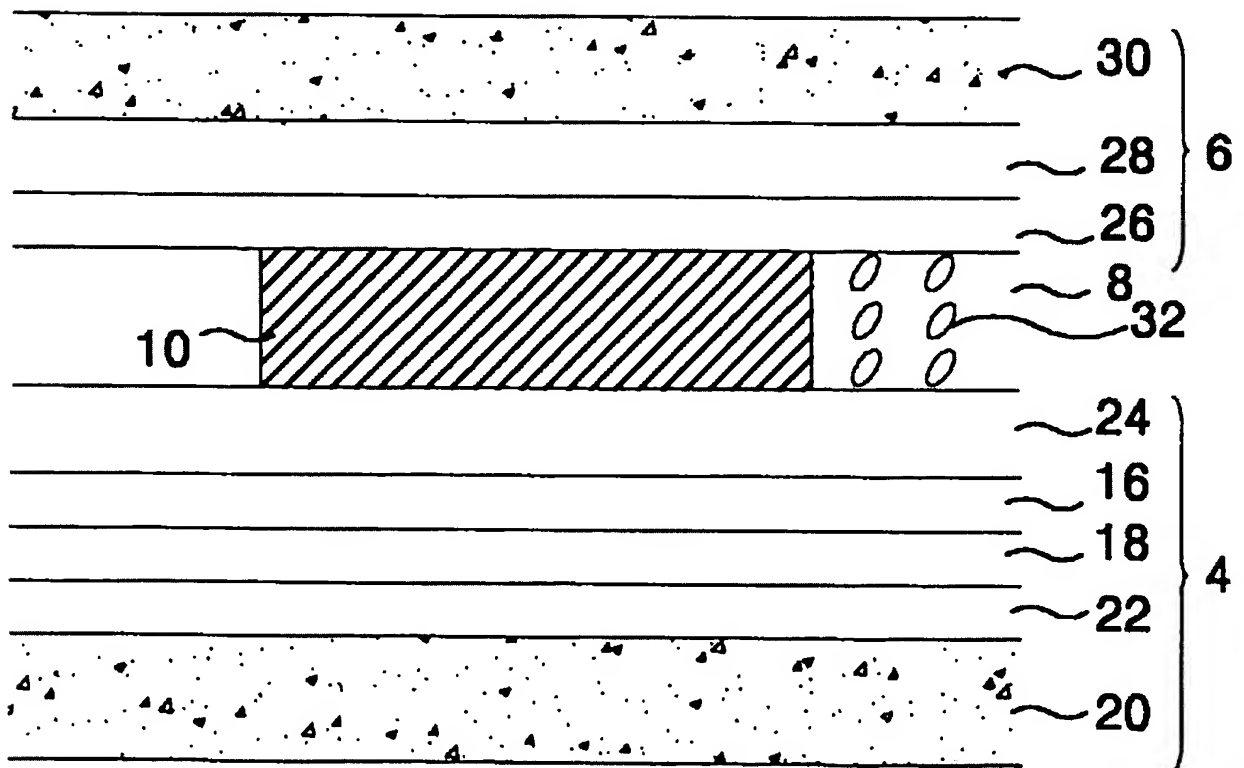
도면 2



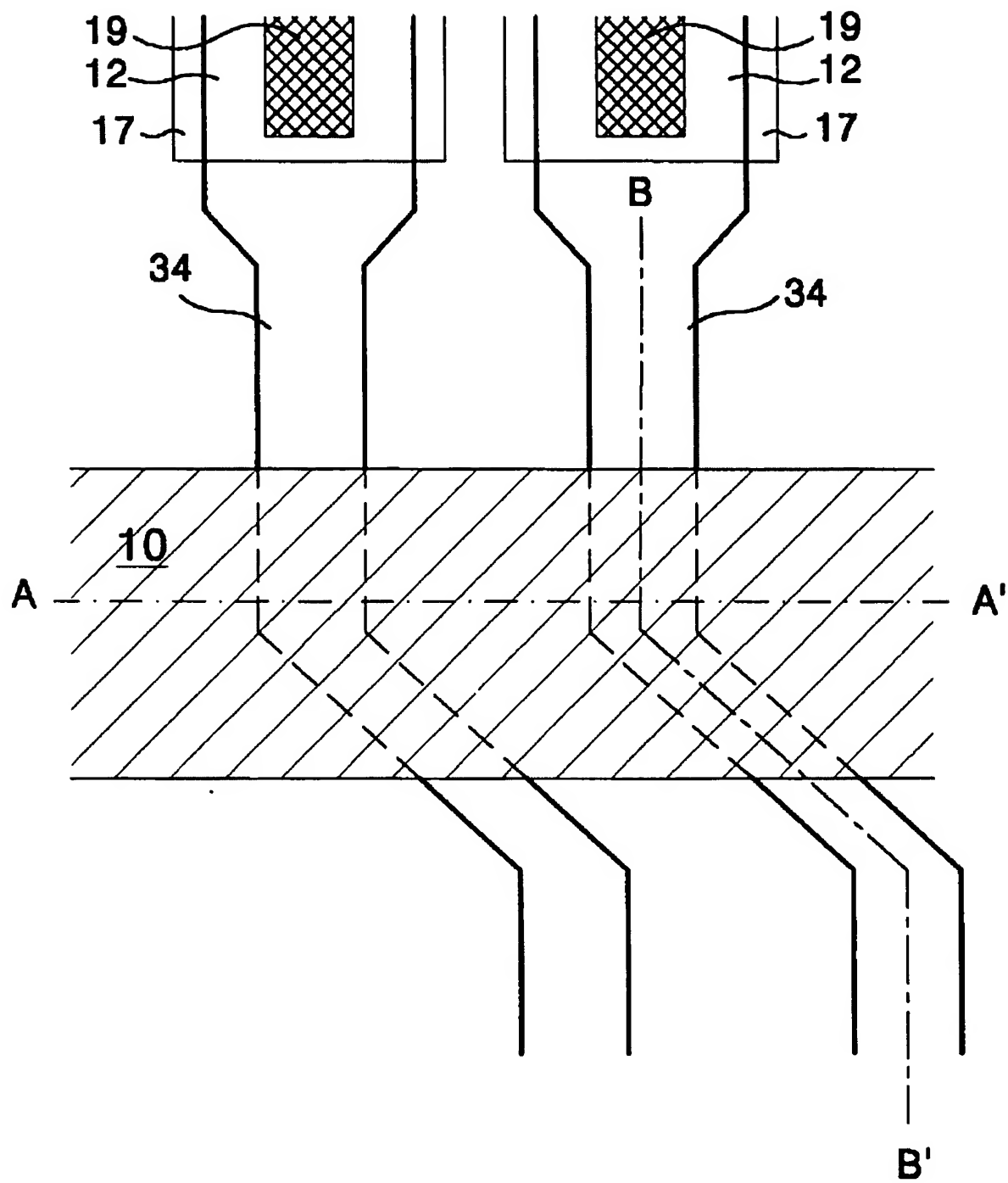
도면 3a



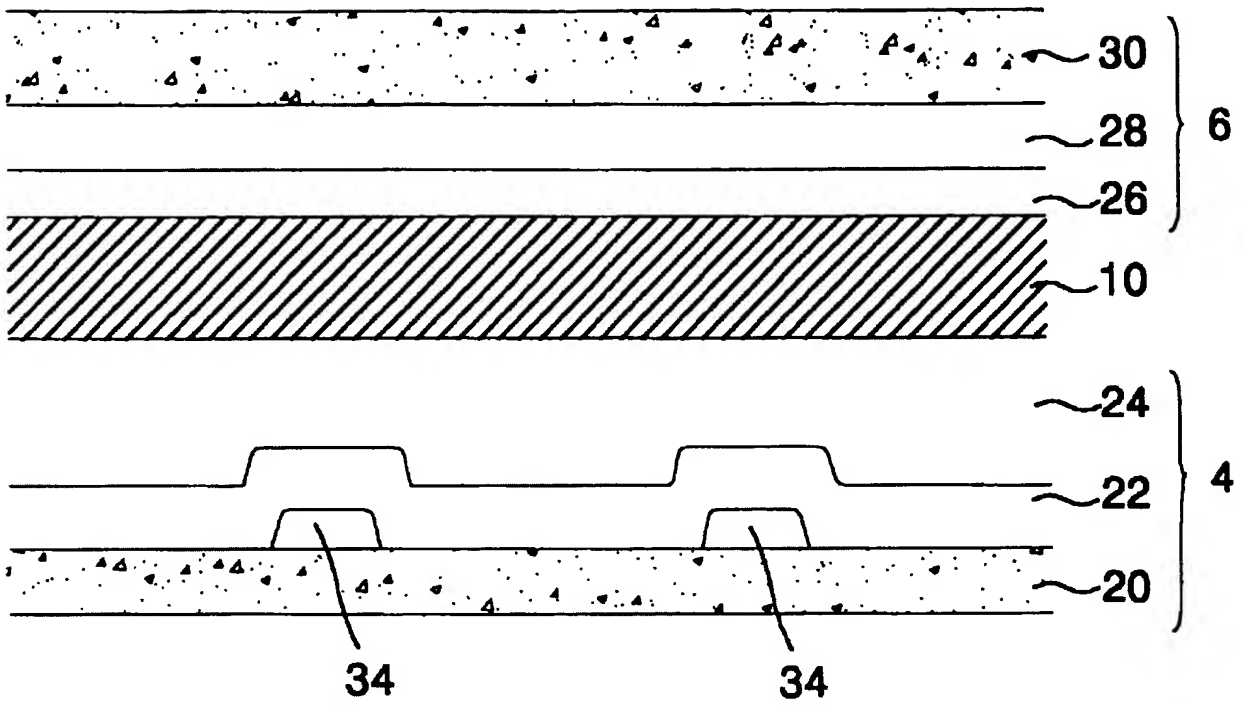
도면 3b



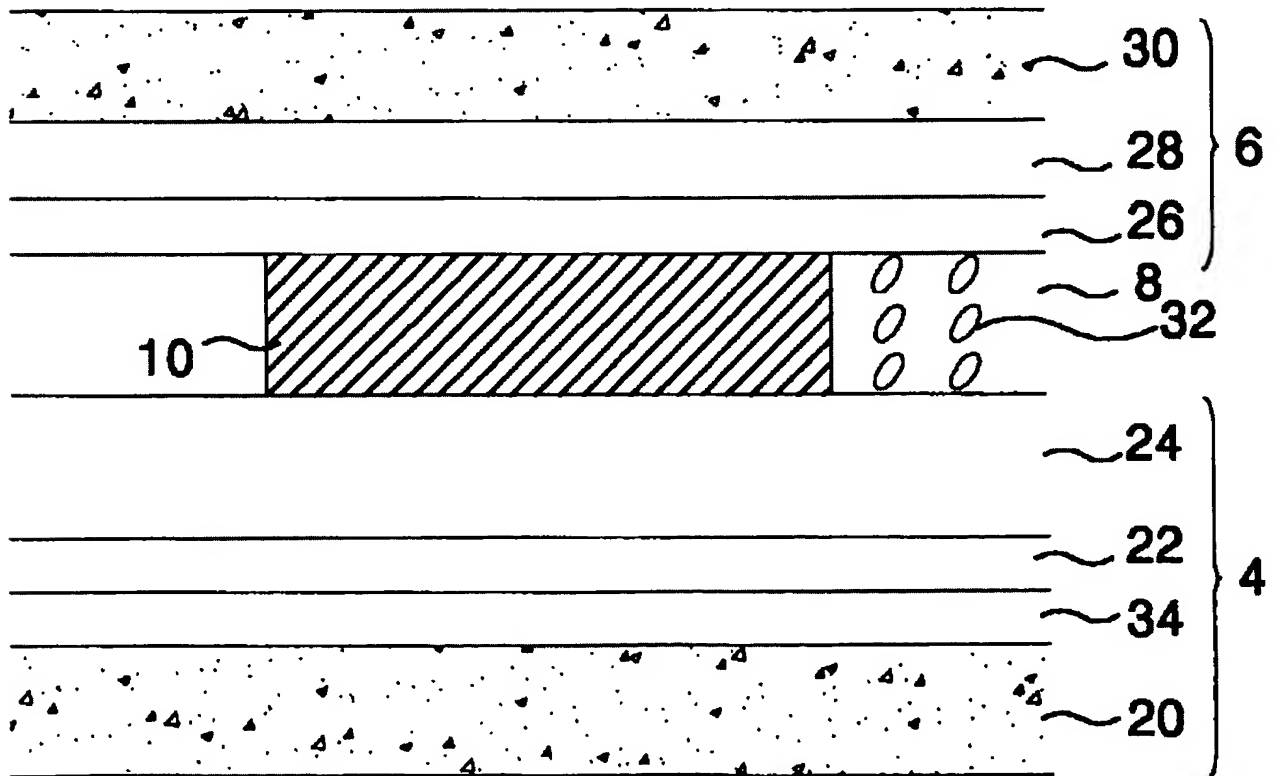
도면 4



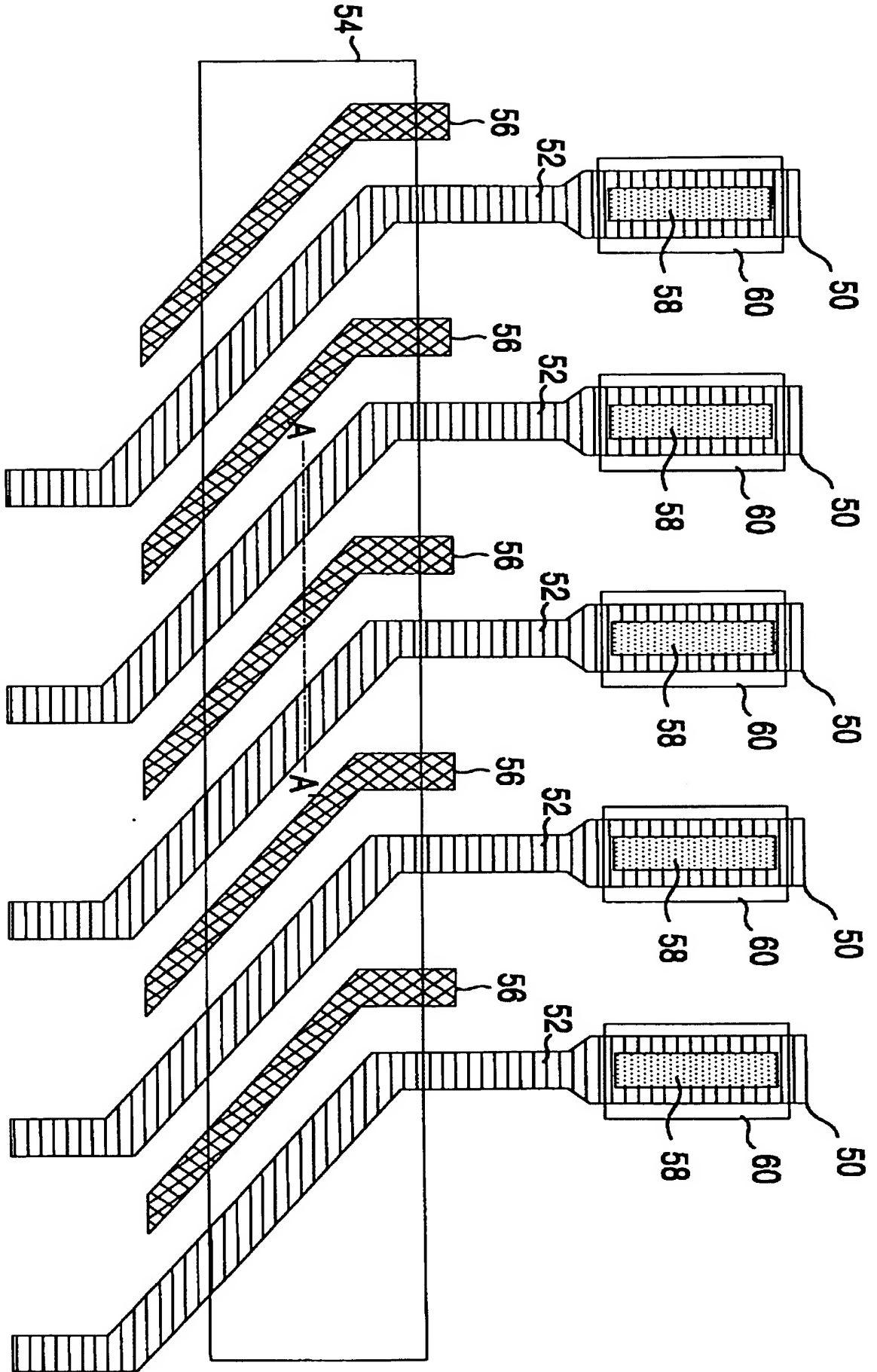
도면 5a



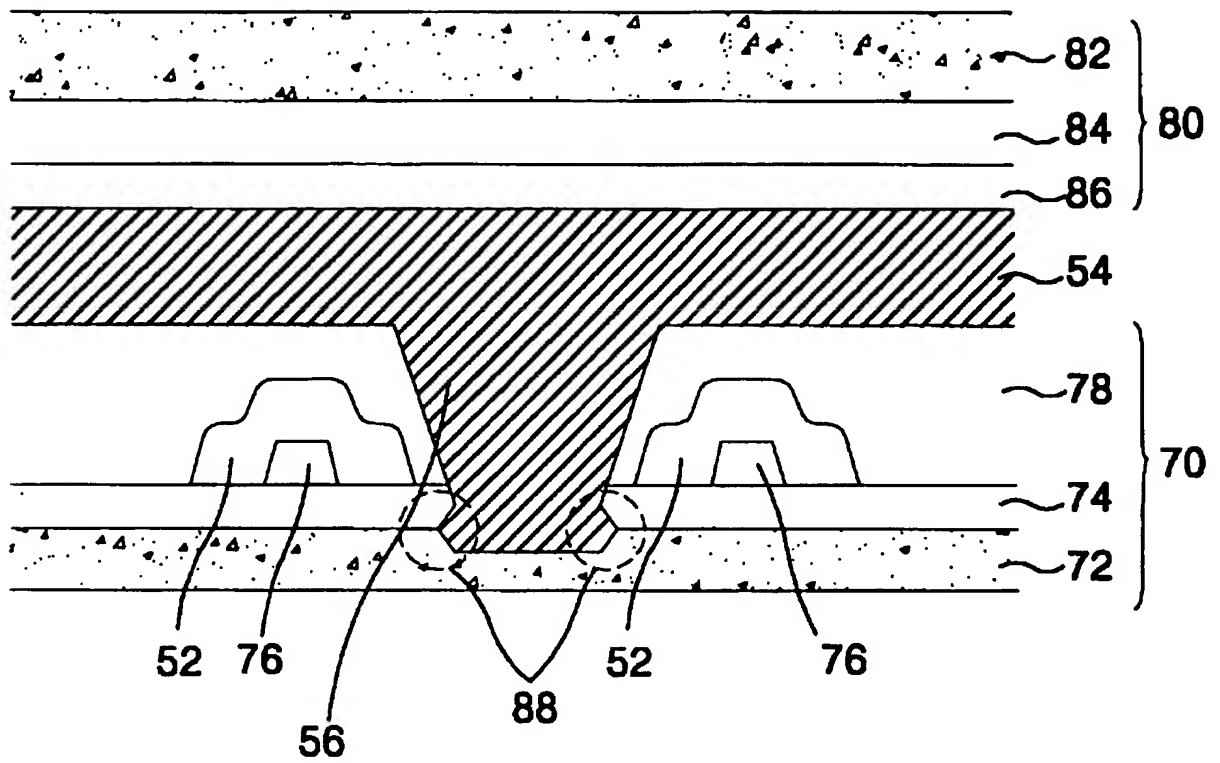
도면 5b



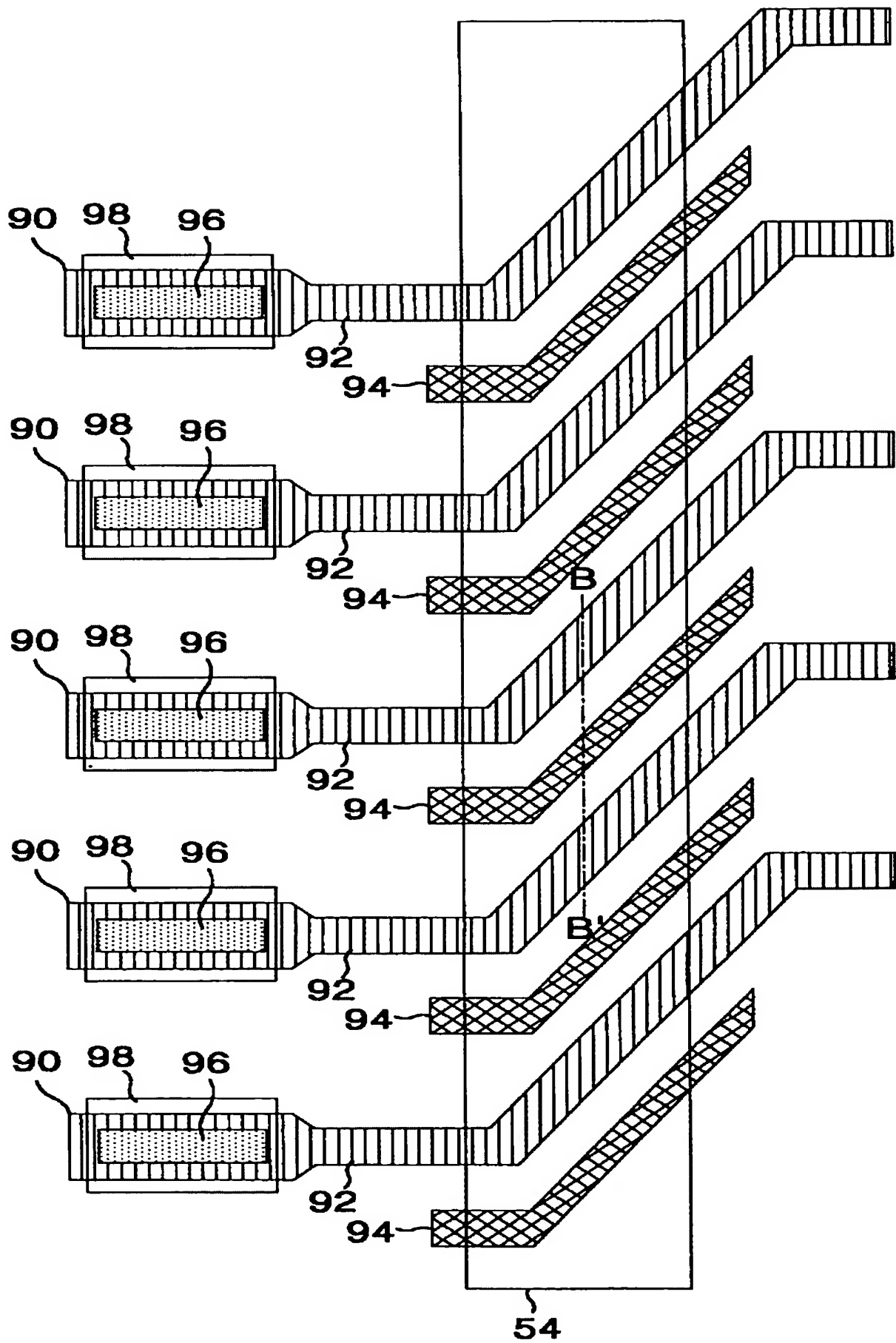
도면 6



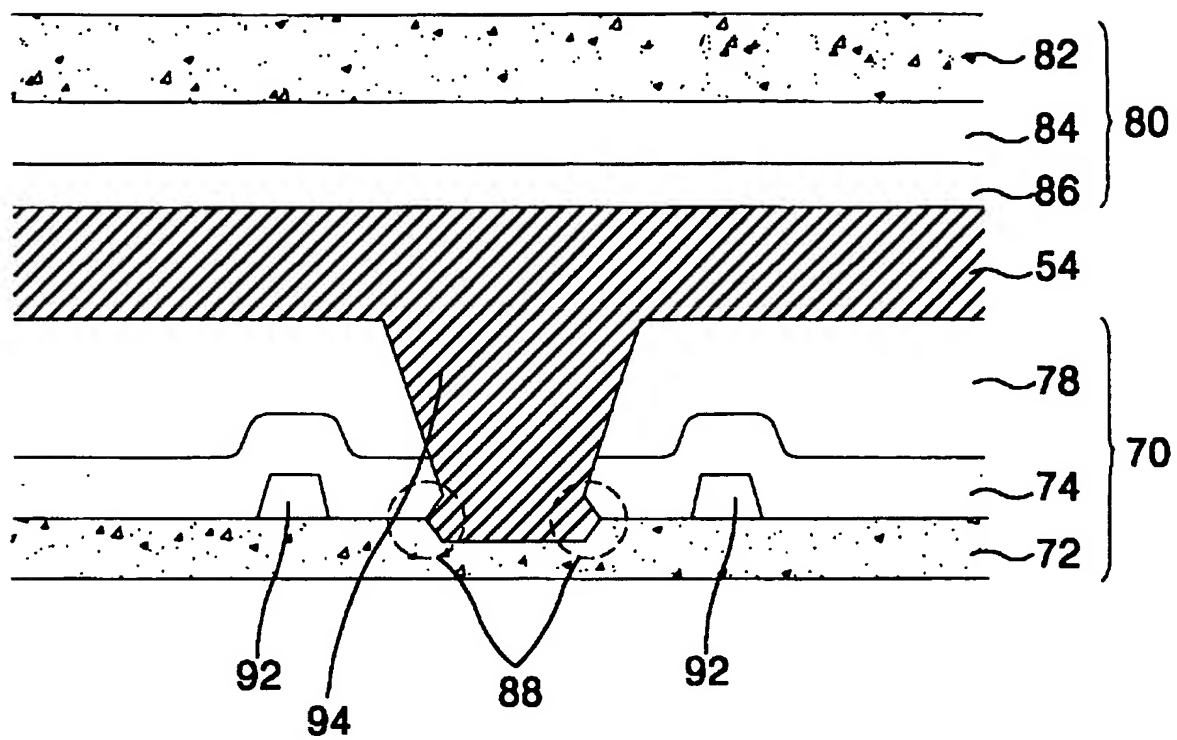
도면 7



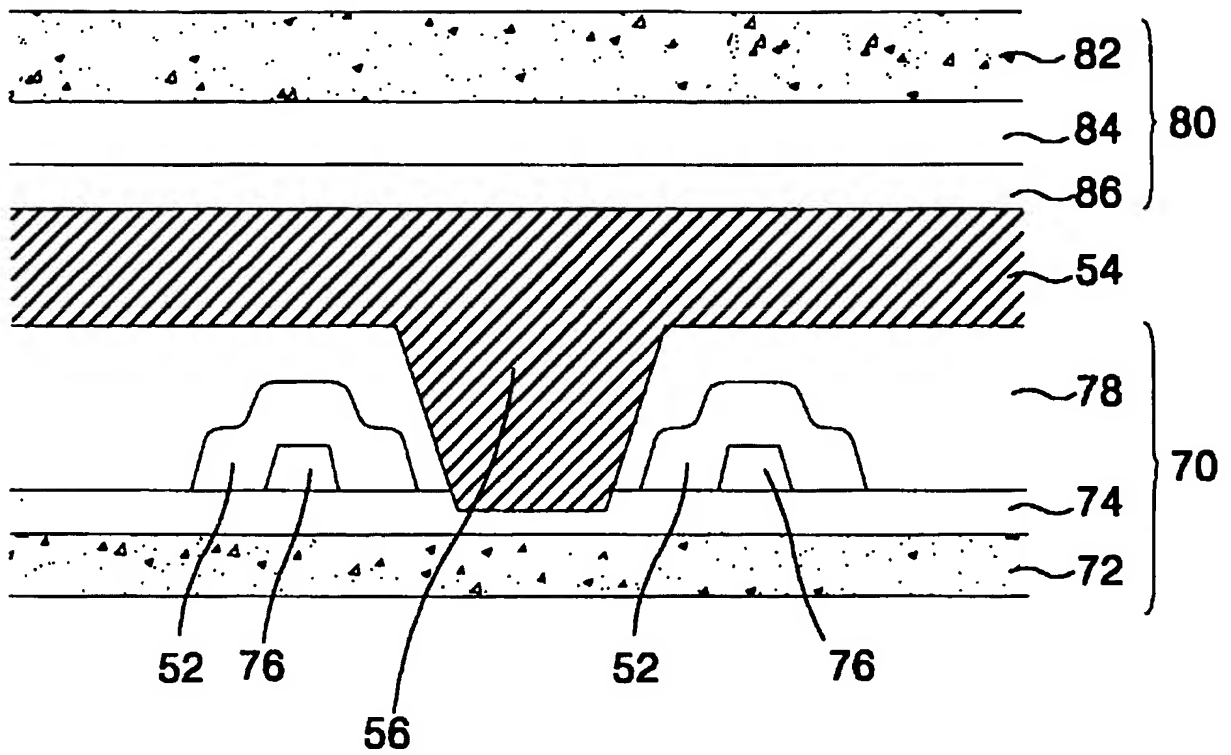
도면 8



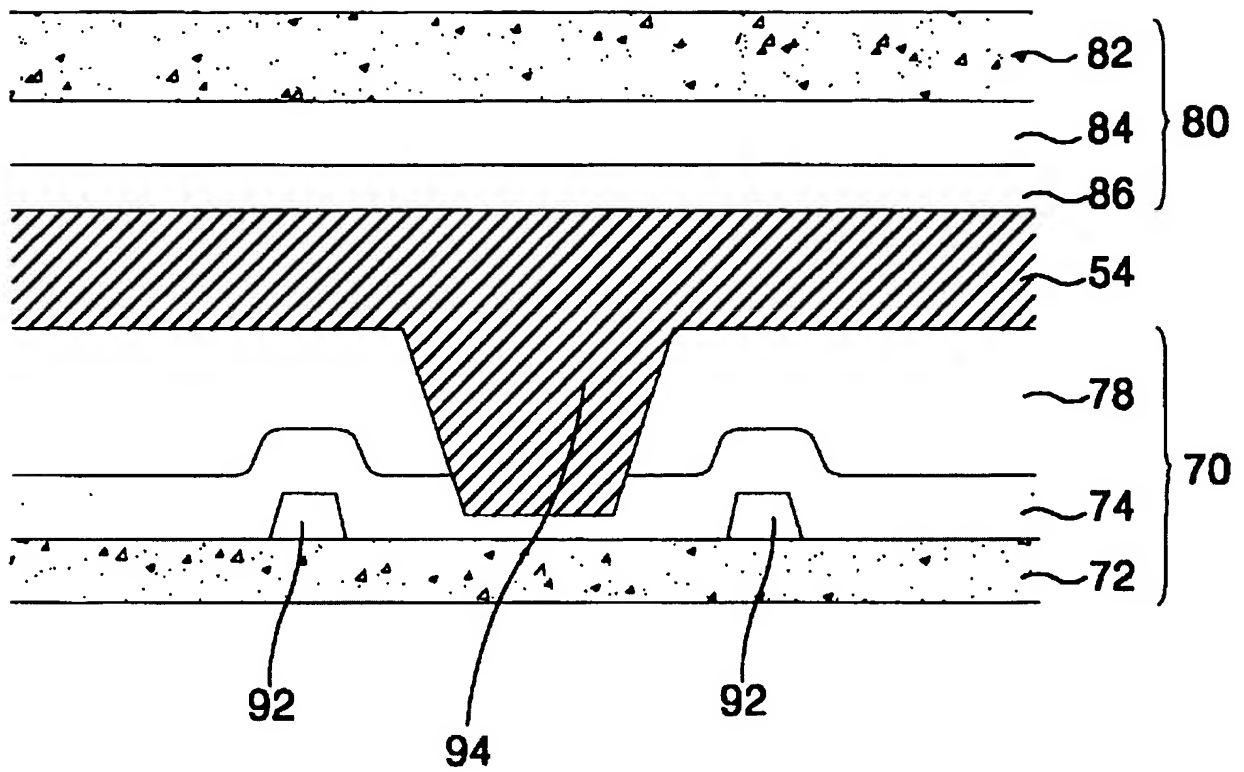
도면 9



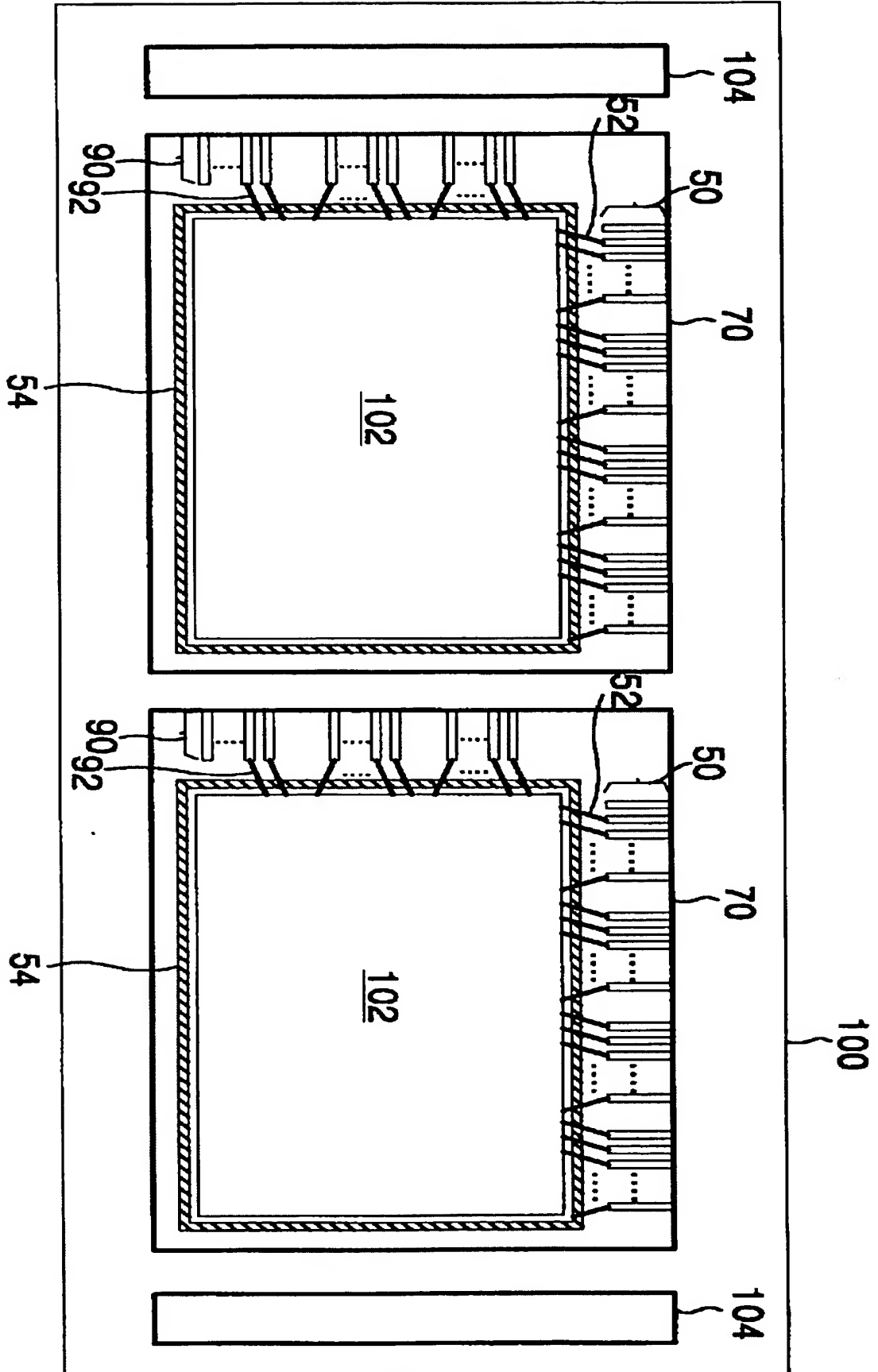
도면 10



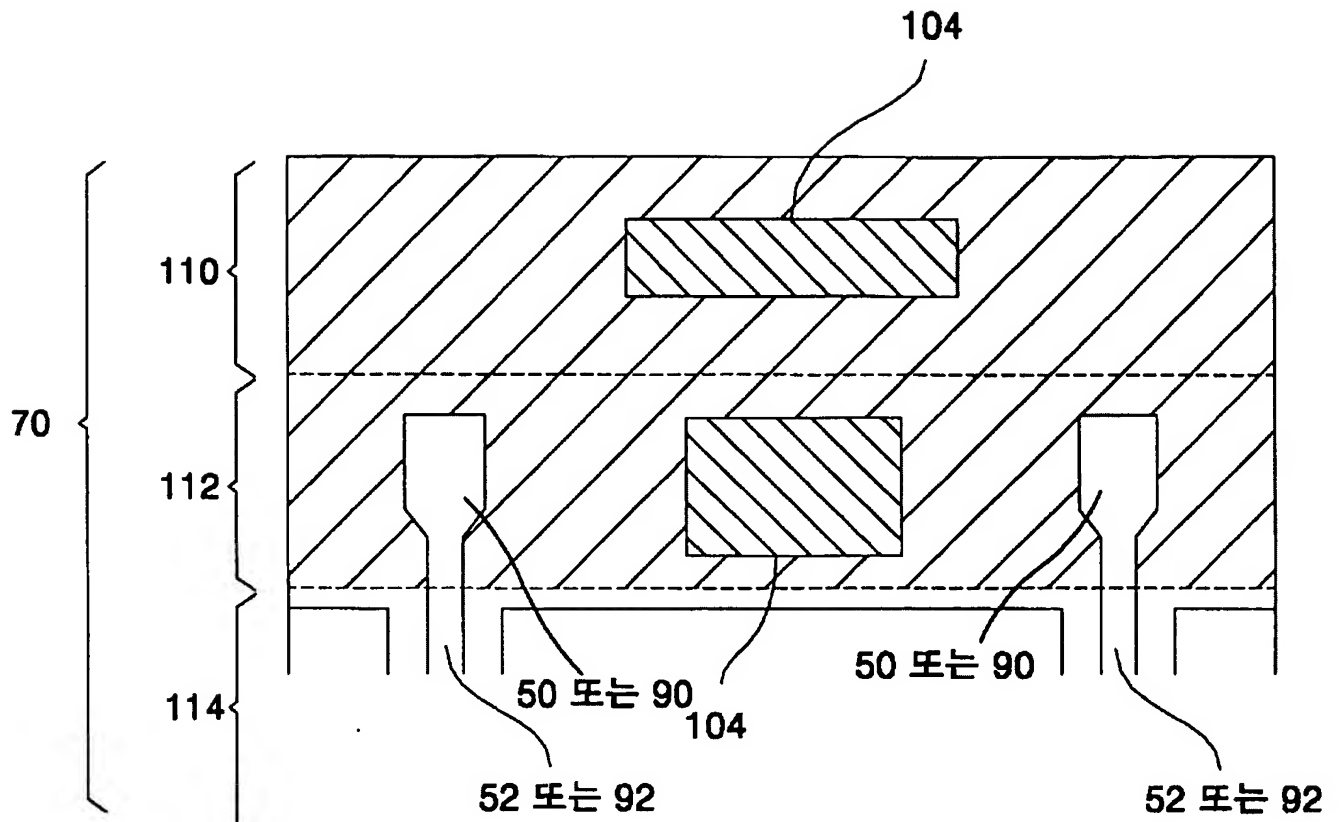
도면 11



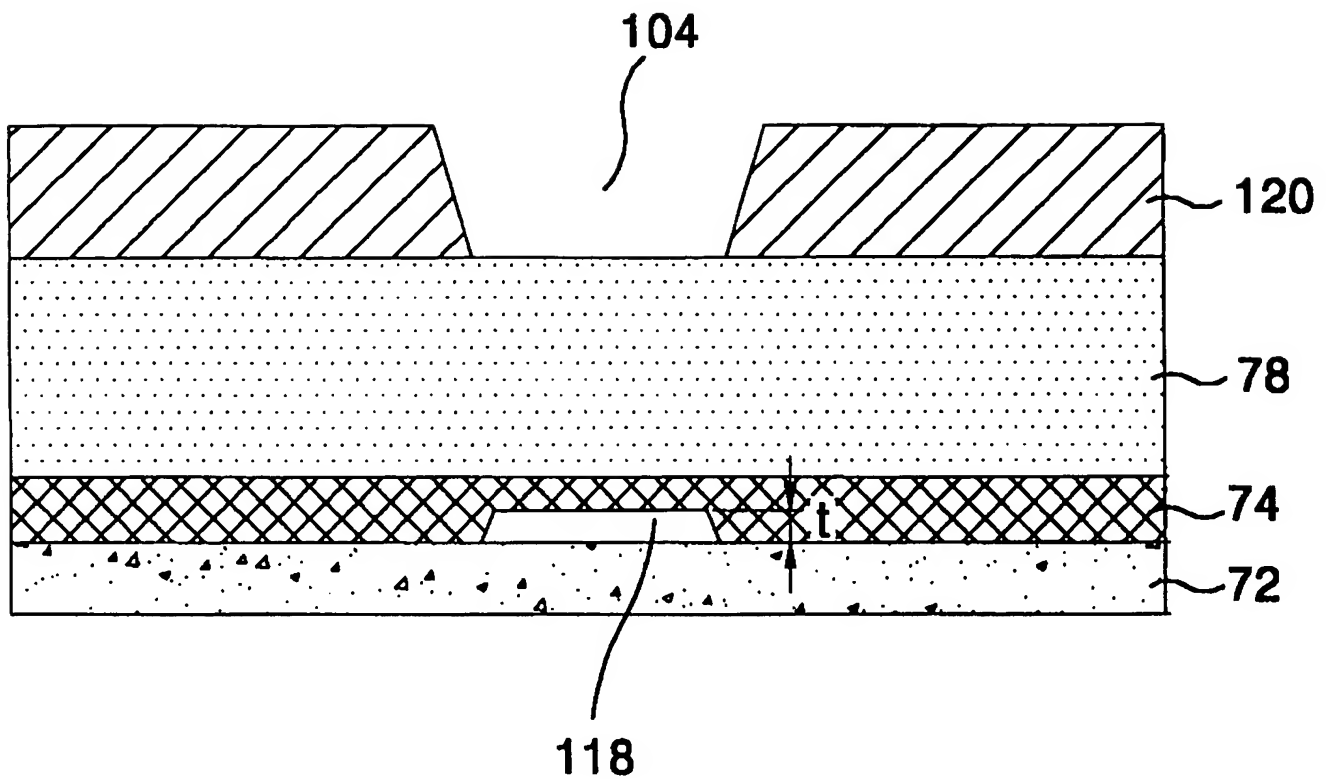
도면 12



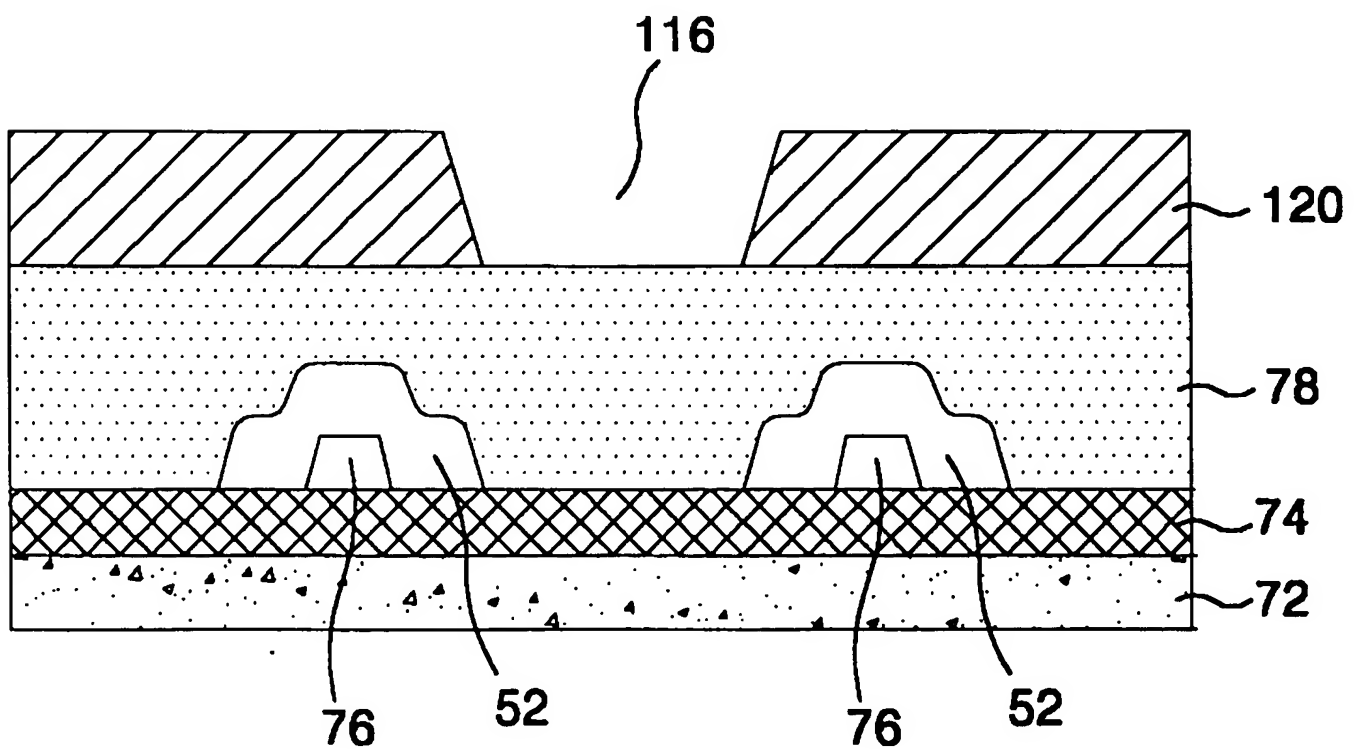
도면 13



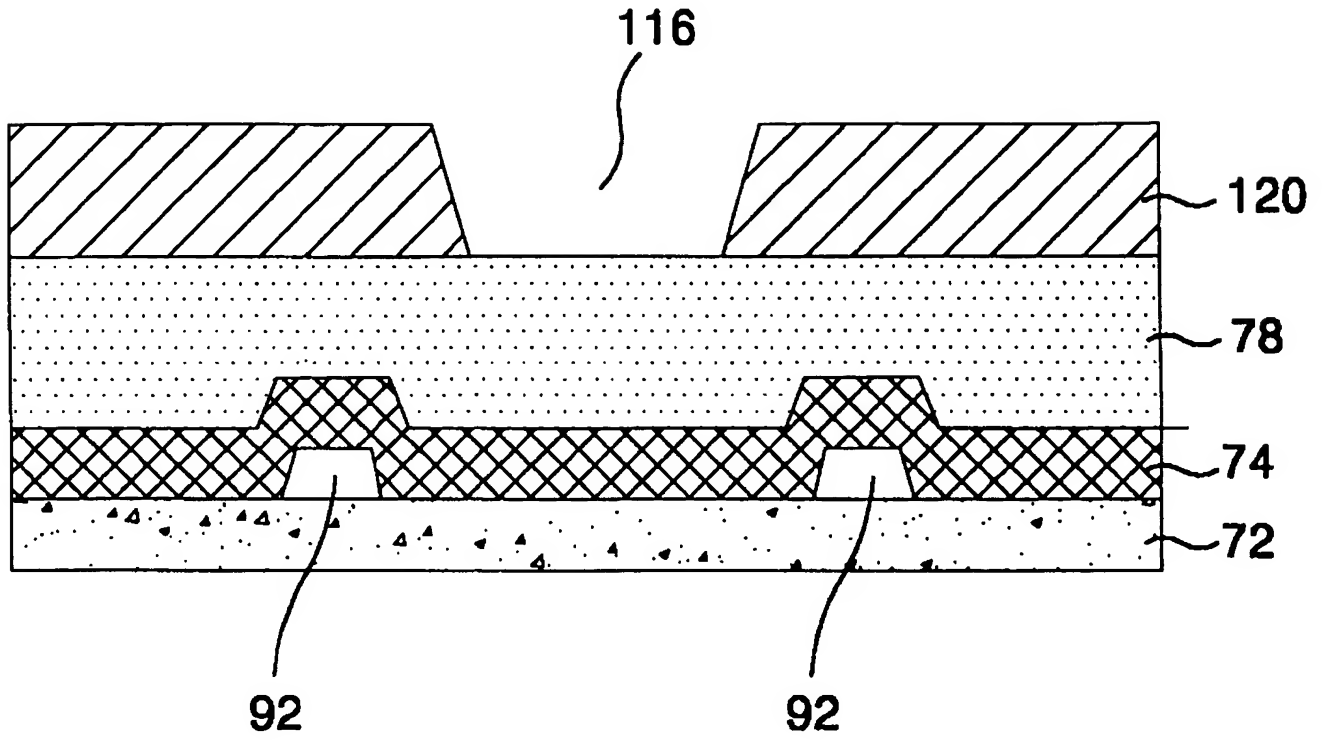
도면 14a



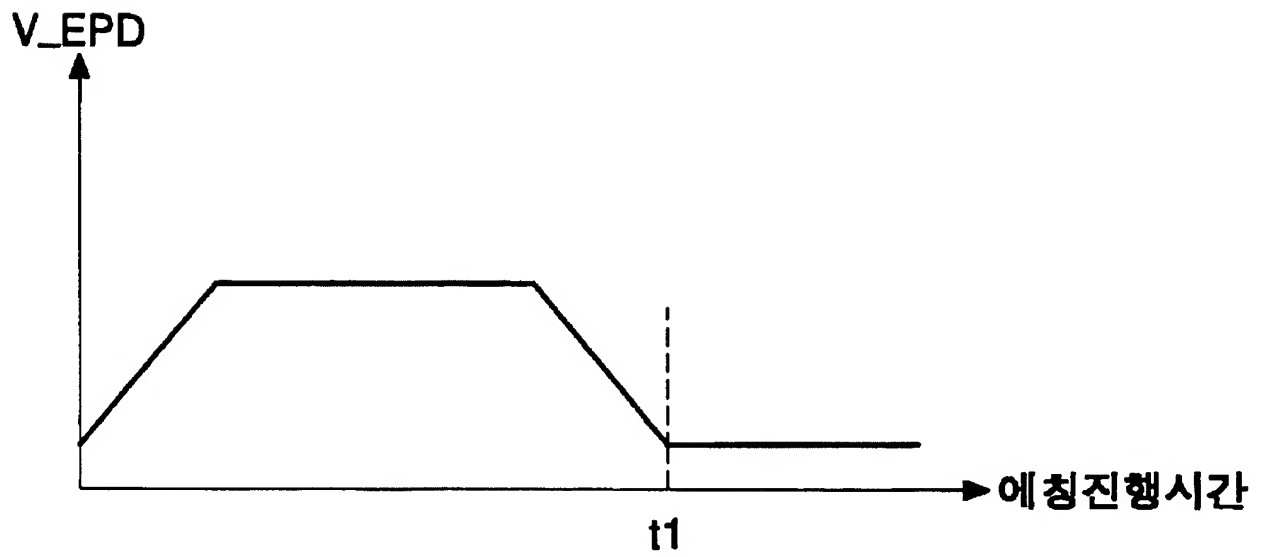
도면 14b



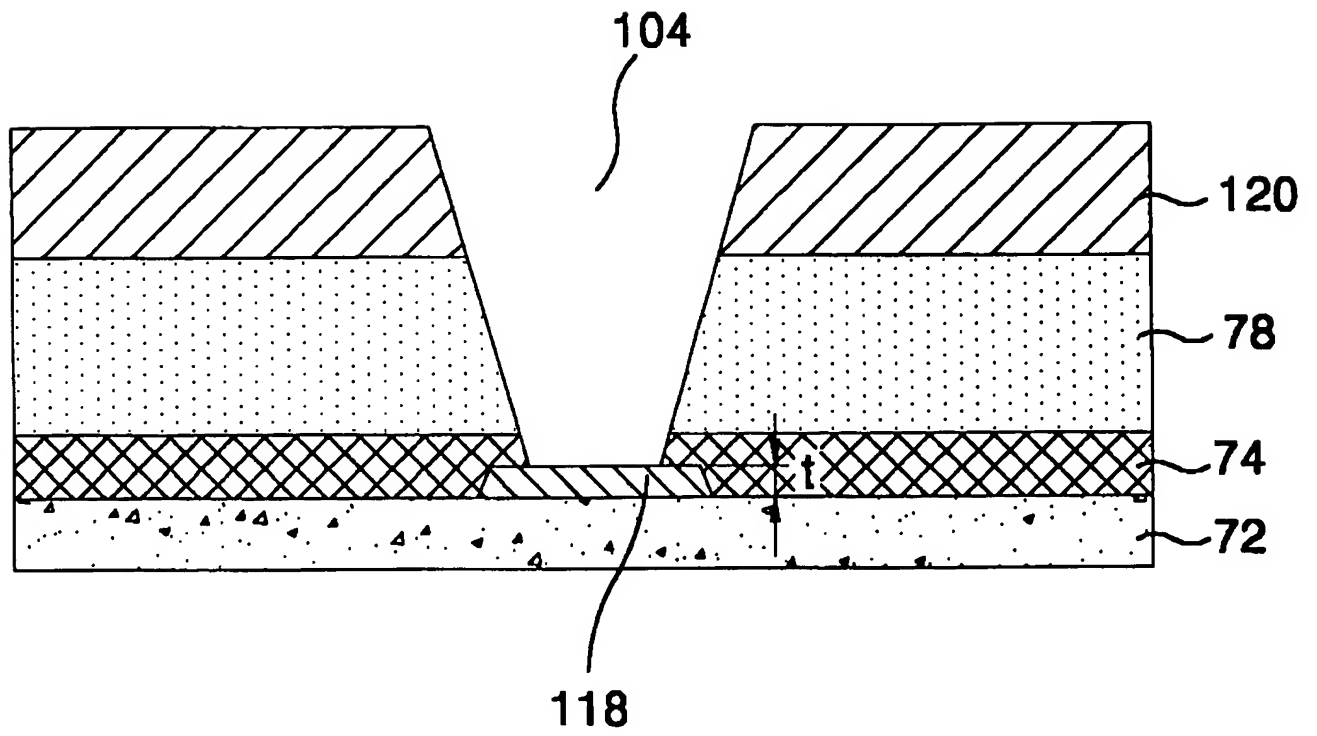
도면 14c



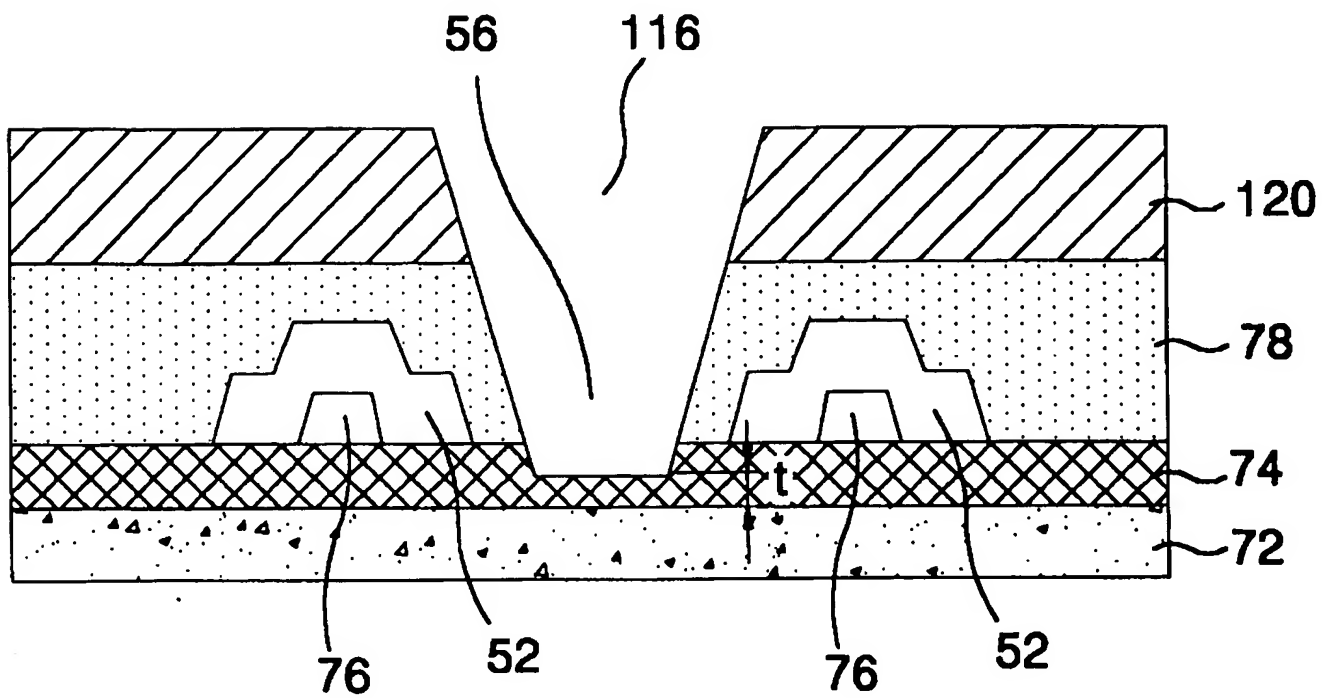
도면 15



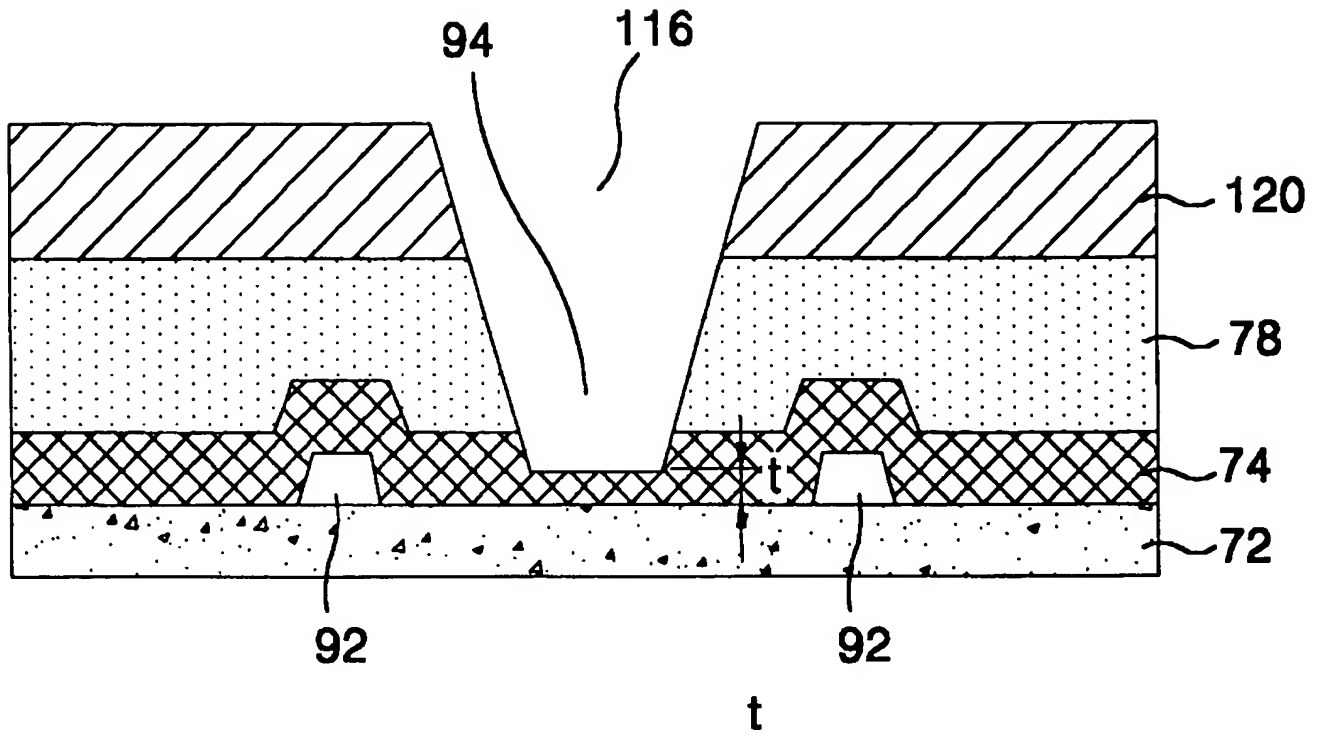
도면 16a



도면 16b



도면 16c



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.